

# Verformung und Schädigung von Werkstoffen der Aufbau- und Verbindungstechnik

Das Verhalten im Mikrobereich

Bearbeitet von  
Steffen Wiese

1. Auflage 2010. Buch. x, 518 S. Hardcover  
ISBN 978 3 642 05462 4  
Format (B x L): 15,5 x 23,5 cm  
Gewicht: 947 g

[Weitere Fachgebiete > Technik > Baukonstruktion, Baufachmaterialien](#)

Zu [Inhaltsverzeichnis](#)

schnell und portofrei erhältlich bei

The logo for beck-shop.de features the text 'beck-shop.de' in a bold, red, sans-serif font. Above the 'i' in 'shop' are three red dots of varying sizes, arranged in a slight arc. Below the main text, the words 'DIE FACHBUCHHANDLUNG' are written in a smaller, red, all-caps, sans-serif font.

**beck-shop.de**  
DIE FACHBUCHHANDLUNG

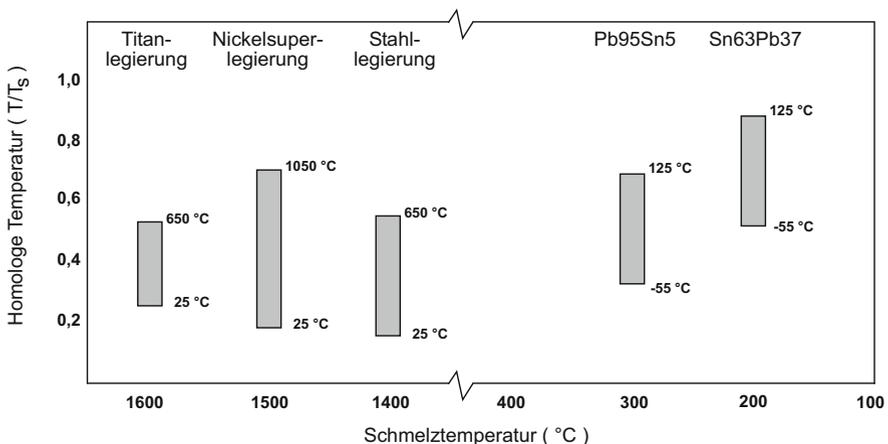
Die Online-Fachbuchhandlung [beck-shop.de](http://beck-shop.de) ist spezialisiert auf Fachbücher, insbesondere Recht, Steuern und Wirtschaft. Im Sortiment finden Sie alle Medien (Bücher, Zeitschriften, CDs, eBooks, etc.) aller Verlage. Ergänzt wird das Programm durch Services wie Neuerscheinungsdienst oder Zusammenstellungen von Büchern zu Sonderpreisen. Der Shop führt mehr als 8 Millionen Produkte.

## 2 Untersuchungsgegenstand

### 2.1 Zusammenhang zwischen Gegenstand und Methodik der Untersuchung

Bei Beschäftigung mit der Schädigung und der Verformung von Werkstoffen besteht das Bemühen, alle dazu notwendigen Betrachtungen nur auf einen bestimmten Werkstoff oder eine Werkstoffklasse zu richten, ohne dabei Bezug auf ein konkretes technisches Artefakt zu nehmen. Eine solche Methode der Betrachtung geht davon aus, dass die der Verformung und Schädigung zugrunde liegende Physik für eine bestimmte Werkstoffklasse, z. B. Metalle, gleich ist und sich folglich die für ein bestimmtes technisches Problem erarbeiteten Untersuchungsmethoden und Bewertungsverfahren auf ein anderes technisches Problem übertragen lassen, sofern bei diesem Werkstoffe der gleichen Klasse, d. h. Werkstoffe mit vergleichbarem qualitativen Verhalten, eingesetzt werden.

Bei der Übertragung der an verschiedenen Problemfällen des Fahrzeug-, Anlagen- und Maschinenbaus entwickelten Untersuchungsmethoden und Bewertungsverfahren der Materialprüfung auf scheinbar vergleichbare Problemfälle der Aufbau- und Verbindungstechnik der Elektronik zeigten sich die Grenzen einer vom konkreten technischen Artefakt unabhängigen Betrachtungsweise. Besonders deutlich wurde dies beim Versuch, das Kriechverhalten von eutektischem Zinn-Blei-



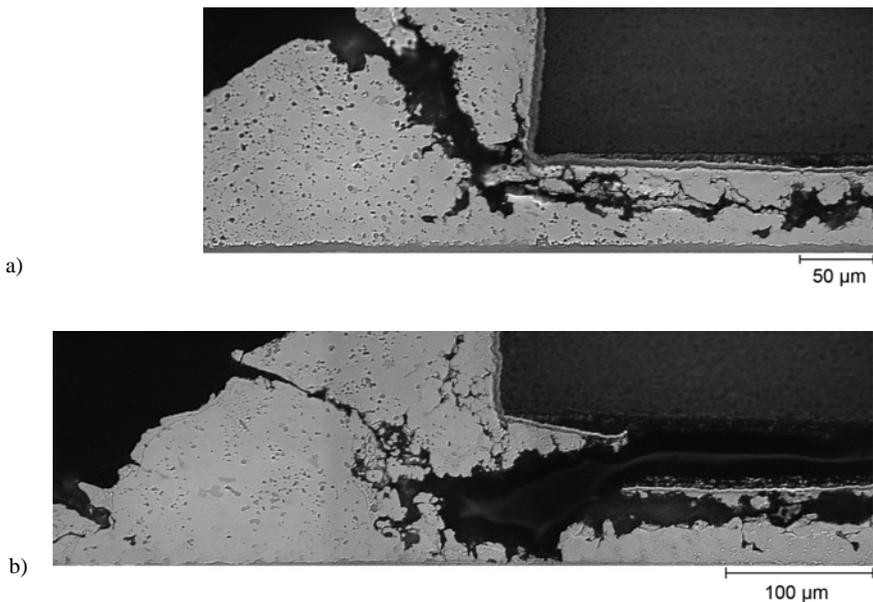
**Abb. 2.1** Vergleich der homologen Temperaturen verschiedener Konstruktionswerkstoffe im Maschinen- und Anlagenbau und in der Aufbau- und Verbindungstechnik der Elektronik. Die auf den Schmelzpunkt des jeweiligen Materials bezogenen Einsatztemperaturen von konventionellen Lotwerkstoffen in elektronischen Aufbauten liegen höher als die von für den Anlagen- und Maschinenbau konzipierten Hochtemperaturlegierungen (adaptiert aus [34]).

Lot zu beschreiben. Hierzu wurde eine große Anzahl experimenteller Charakterisierungen [35-48] durchgeführt, welche zu einem großen Spektrum von Ergebnissen und Auffassungen über das Kriechverhalten von eutektischem Zinn-Blei-Lot führten, die wiederum eine umfangreiche Diskussion über die Art und Weise der Charakterisierung und der Bewertung der Kriechdaten auslöste [49-52]. Zunächst konzentrierte sich die Diskussion auf einen Größeneffekt [54-55], später wurden jedoch auch andere Aspekte, wie die des Modellansatzes [56], der Belastungsprofile [57] und der Herstellungsbedingungen, einbezogen [44]. Obwohl die Frage nach dem Kriechverhalten des eutektischen Zinn-Blei-Lotes bis heute nicht abschließend beantwortet werden konnte, zeigen die bisher für diesen technischen Problemfall gewonnenen Erkenntnisse, dass eine vom konkreten technischen Artefakt entkoppelte Betrachtung des Schädigungs- und Verformungsverhaltens, zumindest in Bezug auf die mit der Aufbau- und Verbindungstechnik in Zusammenhang stehenden Problemfälle, nicht zu einer befriedigenden Beschreibung des Materialverhaltens führt.

Um die sehr starken Unterschiede zwischen den in letzter Zeit in der Aufbau- und Verbindungstechnik auftretenden und den oft zitierten klassischen Problemfällen, wie denen im Anlagenbau [33, 58, 59], deutlich zu machen, soll exemplarisch die thermomechanische Ermüdung eines Lotkontaktes in einer elektrischen Schaltung und einer Turbinenschaufel in einem Kraftwerk miteinander verglichen werden. Ein solcher Vergleich wird sehr oft vorgenommen [59], da in beiden Fällen zum einen eine Temperaturänderung die alleinige Ursache des Entstehens mechanischer Beanspruchungen im Werkstoff ist und zum anderen beide Werkstoffe, z. B. die Sn-Ag-Cu-Legierung des Lotkontaktes und der Cr-Mo-V Stahl der Turbinenschaufel, hohe Einsatztemperaturen haben, bei denen diffusionskontrollierte Verformungsmechanismen wie das Kriechen dominieren (Abb. 2.1). Der oftmals einzige betrachtete Unterschied zwischen beiden Problemfällen ist die Größe der kritischen Strukturen. Zwar ist dies eine wichtige Ursache für Veränderungen im Materialverhalten, bei einer näheren Betrachtung ist jedoch festzustellen, dass Lotkontakte trotz ihres geringen Volumens von  $V = (10^{-7} \dots 10^{-13})m^3$  eine ausreichende Zahl von Körnern besitzen, um sie wie großvolumige polykristalline Strukturen betrachten zu können. Größere Unterschiede zwischen beiden Problemfällen ergeben sich, wenn die Funktion der kritischen Strukturen sowie Problemursachen in den unterschiedlichen Anwendungen miteinander verglichen werden.

Die primäre Funktion der Turbinenschaufel ist mechanische Kraftübertragung. Die Temperaturwechsel, durch die die thermomechanische Ermüdung der Schaufel zustande kommt, werden prinzipbedingt beim Anfahren und Abschalten einer Dampfturbine in einem Kraftwerk hervorgerufen. Im Gegensatz dazu ist primäre Funktion eines Lotkontaktes keine mechanische, sondern die Herstellung eines elektrischen Kontakts. Die Ursache für die thermomechanische Ermüdung des Lotkontaktes liegt im kostengünstigen Aufbau der elektronischen Baugruppe und ist nicht prinzipieller Natur. Die Temperaturwechsel werden bis auf die wenigen Fälle starker Eigenerwärmung der Bauelemente in der Regel durch die Umwelt eingebracht, z. B. Elektronik im Motorraum eines Kfz, und haben mit dem Prinzip der

elektrischen Schaltung nichts zu tun. Für den Lotkontakt ergeben sich im Gegensatz zur Turbine sehr undefinierte Belastungsbedingungen, durch die der Ausfall hervorgerufen wird. Gleichzeitig muss die Lebensdauer der Strukturen anders bewertet werden. Während beim Lotkontakt ein nahezu komplettes Zerreißen des Kontaktes nicht zum Verlust der elektrischen Funktion führt (Abb. 2.2) und damit Risslängen von bis zu 95% der Bauteilabmessungen akzeptabel sind, muss eine Turbinenschaufel aufgrund der mit den hohen Beschleunigungen verbundenen Kräfte schon bei geringen Schädigungsgraden ausgetauscht werden. Ein Versagen der Struktur muss bei der Turbinenschaufel aufgrund der gewaltigen Folgeschäden unbedingt vermieden werden, ein Versagen eines Lotkontaktes ist hingegen unkritisch und führt nicht notwendigerweise auch zum elektrischen Ausfall, da sich auch zwischen zwei aufeinanderliegenden Bruchflächen ein ausreichender Strompfad ergeben kann.



**Abb. 2.2** Zusammenhang zwischen elektrischem und mechanischem Ausfall. In [60] wurde die Zuverlässigkeit verschiedener bleifreier Lote untersucht. Dabei wurden sowohl elektrische Messungen zum Kontaktwiderstand als auch metallografische Querschliffe zur Bewertung der mechanischen Degradation der Lotkontakte angefertigt. Die dargestellten Querschliffe dokumentieren den Zustand von Lotverbindungen an Chipwiderständen (Typ 0805) auf FR4-Leiterplatten mit NiAu-Oberflächenmetallisierung, die einer Anzahl von 2000 Temperaturwechseln von  $-40\text{ }^{\circ}\text{C}$  bis  $+125\text{ }^{\circ}\text{C}$  ausgesetzt wurden. Während der mechanisch vollkommen geschädigte Lotkontakt in Bild a) gleichzeitig auch einen elektrischen Ausfall aufweist, wurde beim äquivalent mechanisch geschädigten Kontakt in Bild b) lediglich eine Erhöhung des Kontaktwiderstandes von  $\Delta R = 164\text{ m}\Omega$  festgestellt, was in der Regel nicht zu einer Einschränkung der elektrischen Funktion führt.

Diese durch die konkrete Anwendung hervorgerufenen Unterschiede bei der Funktion der kritischen Strukturen sowie Ursachen ihres Ausfalls erfordern neben dem in 1.3 besprochenen Größeneffekte trotz einer sehr vergleichbaren Physik des Ausfalls ein angepasstes Vorgehen bei der Untersuchung und Bewertung relevanter Materialeigenschaften und schränken eine einfache Übertragung bekannter Untersuchungsmethoden auf qualitativ andere technische Problemfälle ein. Die Frage, wie ein eingesetzter Werkstoff untersucht werden muss und wie die Ergebnisse dieser Untersuchungen zu bewerten sind, wird bei einem sehr komplexen Werkstoffverhalten, wie dem Verformungsverhalten von Metallen bei hohen Temperaturen, nicht allein durch die elementaren Mechanismen der Verformung bestimmt, sondern auch durch Aspekte, die sich durch den konkreten technischen Problemfall ergeben. Aus diesem Grund ist es wichtig, den Untersuchungsgegenstand und die Ursachen für die dort entstehenden (thermisch-) mechanisch verursachten Ausfälle zu verstehen.

## ***2.2 Wesen und Entwicklung des Untersuchungsgegenstandes***

### **2.2.1 Begriff der Aufbau- und Verbindungstechnik der Elektronik**

Beim Begriff der Aufbau- und Verbindungstechnik der Elektronik gibt es Unterschiede in der Bezeichnung des Gebietes zwischen der deutschen Sprache und der für dieses Gebiet maßgeblichen englischen Sprache. Im Englischen wird es als „Electronics Packaging“ oder schlicht als „Packaging“ bezeichnet, ein Begriff, welcher im Deutschen zunächst keine sinnvolle Entsprechung hat. Der Begriff ist dem Substantiv „Package“ bzw. dem Verb „to pack“ entlehnt. Neben seiner Bedeutung, Dinge in einem schützenden Behälter unterzubringen, bedeutet „to pack“ auch gleichzeitig, Dinge auf engstem Raum zu komprimieren [61, 62]. Dementsprechend versteht man im Ingenieurwesen unter einem „Package“ eine Baugruppe oder einen Aufbau im Sinne einer kompakten geschlossenen Baueinheit [63]. Der englische Begriff des „Packaging“ bezieht sich also auf die Vorstellung über den zu erzeugenden Gegenstand. Der deutsche Begriff der „Aufbau- und Verbindungstechnik der Elektronik“ ist abstrakter gefasst und weist Parallelen zu artgleichen Gebieten der Technik auf. Die Verbindungstechnik beschäftigt sich mit den Vorgängen beim Fügen, durch das Verbindungspartner miteinander gekoppelt werden [64]. Hierbei steht die Untersuchung und Optimierung verschiedener Fügeverfahren sowie die Bewertung ihrer Eignung für entsprechende Anwendungen im Vordergrund. Die dabei für elektronische Aufbauten verwendeten Verfahren unterscheiden sich nicht von denen anderer Technikdisziplinen. Der Begriff der Aufbautechnik verweist hingegen auf den konzeptionellen Inhalt des Gebietes. Hierbei steht die Systematik des Zusammenfügens der einzelnen Komponenten im Vordergrund, um so ein universelles Konzept zu entwickeln, das die spezifischen Anforderungen aller wichtigen Anwendungen erfüllen kann.

### 2.2.2 Inhalt der Aufbau- und Verbindungstechnik der Elektronik

Elektronische Erzeugnisse haben in vielen Bereichen moderner Gesellschaften Einzug gehalten. Während sie in einigen entbehrlich scheinen, üben sie in anderen so elementare Funktionen aus, dass die Elektronik als vergleichsweise junges Teilgebiet der Technik sehr wesentlich den derzeitigen Grad der Zivilisation bestimmt. Beispiele für wichtige Bereiche, in denen Elektronik unentbehrlich ist, sind die Steuerung und Überwachung von Kraftwerken, großtechnischen Anlagen sowie modernen Fertigungsstätten, die Koordination von Verkehrsströmen sowie die Steuerung von Fahr- und Flugzeugen im Transportwesen, die Unterstützung ärztlichen Handelns in der Medizin sowie der Fernkommunikation zwischen Individuen. Um seine vielfältigen Aufgaben übernehmen zu können, musste Elektronik sehr anpassungsfähig sein, sich sehr kostengünstig und in hohen Stückzahlen herstellen lassen sowie sehr zuverlässig funktionieren. Diese drei Forderungen erscheinen besonders dann sehr schwierig erfüllbar zu sein, wenn die notwendige Komplexität der dazu notwendigen Schaltungen betrachtet wird. Ein durchschnittliches Rechenwerk, welches in vielen Steuerungen enthalten ist, besitzt allein mehr als eine Million Schaltelemente und stellt damit bereits an die Verdrahtung der Schaltung eine Aufgabe, die ohne eine fundierte wissenschaftliche Entwicklung geeigneter Methoden nicht zu bewältigen ist. Dabei darf nicht übersehen werden, dass jede Verbindung neben ihrer grundsätzlichen Funktion, einen Kontakt zwischen verschiedenen Funktionselementen der Schaltung herzustellen, auch bestimmte quantitative Leistungsmerkmale wie Übertragungseigenschaften, Signallaufzeiten, Stromtragfähigkeit, Wärmeabführung erfüllen muss. Da von den Prognosen für die Halbleiterentwicklung ausgehend sowohl die Anzahl der zu verdrahtenden Funktionselemente als auch die Anforderungen an die quantitativen Leistungsmerkmale steigen werden, ergibt sich für das Gebiet der Aufbau- und Verbindungstechnik die Notwendigkeit, neue Methoden für eine leistungsgerechte systematische Verdrahtung hochkomplexer elektronischer Schaltungen zu erforschen. Hinzu kommen Forschungsfelder, welche durch die mit der Leistungssteigerung verbundenen Koppeleffekte, z. B. Erzeugung großer Mengen an Verlustwärme, Entstehung mechanischer Beanspruchungen, bzw. durch die Erschließung und Erweiterung von Anwendungsfeldern, z. B. Schutz gegen Schlagbeanspruchungen bei Mobiltelefonen oder Vibrationsbeanspruchungen in Avionikanwendungen, hervorgerufen werden.

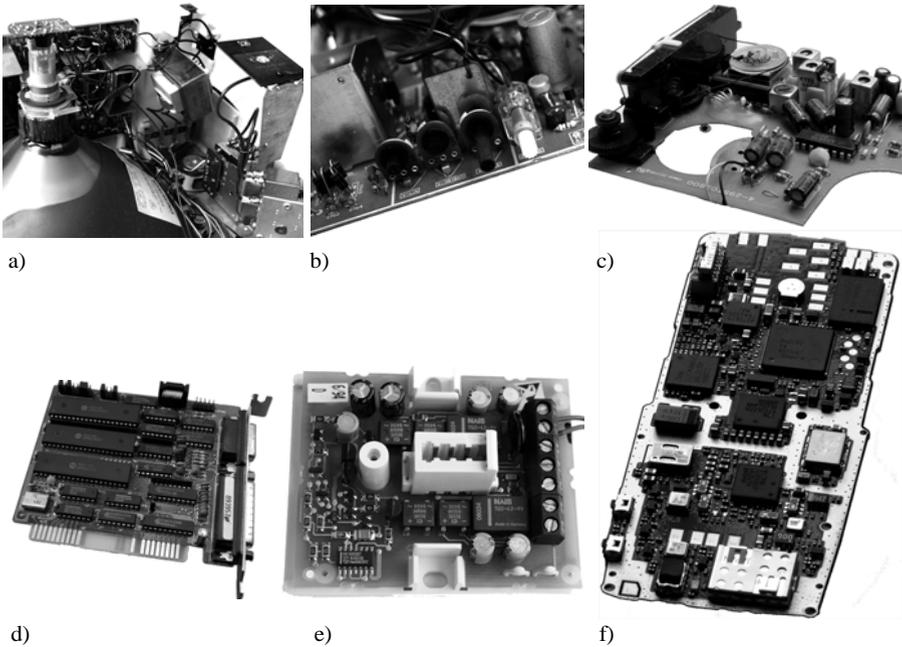
Zur Bewältigung dieser Aufgaben unterteilt sich das Wissenschaftsgebiet der Aufbau- und Verbindungstechnik in eine Reihe spezialisierter Subdisziplinen, welche selbst zu unterschiedlichen anderen Wissenschaftsgebieten gehören. Zu den wichtigsten dieser Subdisziplinen gehören die angewandte Physik und Chemie zum Verständnis technologischer Prozesse und Abläufe, die Keramiktechnik zum Verständnis der Erzeugung und Prozessierung keramischer Träger, die Metallurgie zum Verständnis galvanischer Abscheidungen, des Lötens und des Schweißens, die Polymerchemie und -physik zum Verständnis der Anwendung und Verarbeitung polymerer Materialien für Träger und Verkapselungen, die Polygrafie zum

Verständnis von Druck- und Transferverfahren, die Wärmetechnik zum Verständnis von Kühlstrukturen, die Elektrotechnik zum Verständnis des elektrischen Signal- und Energieflusses sowie unerwünschter Koppeleffekte, die Materialphysik zum Verständnis elektrischer, thermischer, optischer und mechanischer Charakteristiken verwendeter Werkstoffe. Eine große Zahl der Inhalte der Aufbau- und Verbindungstechnik der Elektronik werden durch Inhalte dieser Disziplinen bestimmt, wodurch sich dieses Gebiet sehr heterogen darstellt.

### **2.2.3 Entwicklung der Aufbau- und Verbindungstechnik der Elektronik**

Zu Beginn der Elektronikentwicklung wurden die Schaltungen zunächst aus einzelnen diskreten Bauelementen zusammengesetzt. Dabei erfolgte zuerst eine Befestigung dieser Bauelemente auf einem Chassis als erster Schritt. Danach wurden die elektrischen Verbindungen zwischen den Bauelementen über Drähte hergestellt, welche bei Überwindung längerer Entfernungen zu Kabelbäumen zusammengebunden wurden. Die Ablösung der Elektronenröhren durch Halbleitertransistoren hatte eine deutliche Verkleinerung der Energieaufnahme als auch des Gewichts und der Abmessungen der Bauelemente zur Folge. Dies ermöglichte ein neues Konzept der Bauelementemontage, bei der die mechanische Fixierung über die Anschlussbeine der Bauelemente erfolgen konnte. Durch die gleichzeitige Entwicklung der Leiterplatte entstand ein neues Verdrahtungskonzept, über das anfangs zunächst Elektronenröhren mit den sie umgebenden passiven Bauelementen montiert wurden [65].

Die großindustrielle Einführung der Leiterplatte fand Anfang der 50er Jahre statt und stellte für die industrielle Fertigung elektronischer Geräte eine technisch und ökonomisch effiziente Verdrahtungstechnik zu Verfügung. Die weiteren Stufen der Entwicklung waren die durchkontaktierte Zweiebenenleiterplatte (1953), die Mehrlagenleiterplatte (1961) und die Einführung eines volladditiven Verfahrens zur Erzeugung des Leiterbildes (1963) [66]. Gegenüber den bis zu diesem Zeitpunkt verwendeten Verdrahtungstechniken bot die Leiterplatte den Vorteil, eine konstruktive Einheit mit gut definierten elektrischen und geometrischen Verhältnissen darzustellen, welche zur Anwendung produktiver automatisierbarer Massenherstellungsverfahren bei der Bauelementebestückung und -kontaktierung geeignet war. Die Einführung der Mehrlagentechnik erlaubte eine erhebliche Steigerung der Verdrahtungsdichte, wie sie für die Montage hochintegrierter Halbleiterbauelemente notwendig ist. Gleichzeitig ergab sich aus ihrer Trägerfunktion eine definierte mechanische Stabilität aller Verbindungen, welche wiederum half, die Zuverlässigkeit der Verdrahtungstechnik zu erhöhen, wodurch die Funktionsfähigkeit immer komplexer werdender Schaltungen gewährleistet werden konnte [67]. Bis heute wird die Leiterplatte als Verdrahtungsträger für nahezu alle elektronischen Produkte eingesetzt [68], ohne dass sich das Grundprinzip ihres Aufbaus geändert hat. Die Innovationen, welche Leiterplatten den wachsenden Anforderungen im Bereich der Verdrahtungsdichte, neuen Anwendungen, wie z. B. Mikrowel-



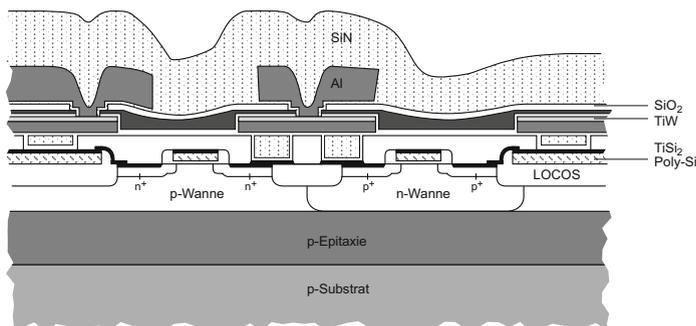
**Abb. 2.3** Vergleich der Aufbautechnik elektronischer Schaltungen verschiedener Technologiestufen: a) Fliegende Verdrahtung im Chassis eines Fernsehgerätes b) Durchstecktechnik mit diskreten Halbleiterbauelementen, c) Durchstecktechnik mit integriertem Schaltkreis, passiven Bauelementen, HF-Filtern d) Durchstecktechnik mit integrierten Schaltkreisen, e) Oberflächenmontagetechnik, f) HDI-Aufbauten in einem Mobiltelefon mit HF-Subsystemen

lenschaltungen, oder den veränderten Forderungen nach Umweltverträglichkeit gerecht machen sollen, betreffen das Basismaterial und die Schaffung kleinster Durchkontaktierungen (engl. Microvia). Für die zukünftige Entwicklung von Leiterplatten stehen die Einbettung von lichteoptischen Fasern [69] sowie passiven Komponenten [70] im Vordergrund.

Am Anfang ihrer Entwicklung fand die Verdrahtung elektrischer Schaltungen ausschließlich auf der Leiterplatte statt. Dies änderte sich jedoch durch die Einführung der Siliziumplanartechnik. Ausgangspunkt für die Entwicklung der Siliziumplanartechnik zur Herstellung hochintegrierter Schaltkreise waren nach der Erfindung des Transistors (Ge-Bipolar-Transistor) [71-73] die Entwicklung eines Planarprozesses sowie die Ideen zur Realisierung integrierter Schaltkreise [74, 75] Ende der fünfziger, Anfang der sechziger Jahre. Zunächst wurde die Entwicklung der Halbleitertechnik durch das amerikanische Militär und die NASA vorangetrieben, sodass zunächst keine ökonomischen Aspekte, sondern die Zuverlässigkeit und Miniaturisierung im Vordergrund standen [76, 77]. Zivile Anwendungen, wie

z. B. die Konstruktion des dritten transatlantischen Telefonkabels 1963, wurden nach wie vor in Röhrentechnik ausgeführt. Eine von wirtschaftlichen Gesichtspunkten getriebene Nutzung integrierter Halbleiterschaltkreise begann erst Mitte der sechziger Jahre und erreichte ihren Durchbruch Anfang der siebziger Jahre mit der Verwendung der MOS-Schaltungstechnik und der Erfindung des Mikroprozessors durch INTEL. Letztere erlaubte eine flexible Verwendung der zuvor in ihrer Funktionsvielfalt eingeschränkten festverdrahteten integrierten Schaltungen. Seit dieser Zeit ist die Herstellung integrierter Schaltkreise von einem exponentiellen Wachstum gekennzeichnet. Dieses betrifft sowohl technische Kennzahlen, wie z. B. die Kapazität von Speicherschaltkreisen (Vervielfachung aller drei Jahre) oder von minimalen Strukturabmessungen (Halbierung aller fünf Jahre), als auch wirtschaftliche Parameter, wie die Senkung der Kosten pro Bit und die Steigerung der Investitionskosten für neue Fertigungsstätten. Diese einzigartige Entwicklung der Halbleitertechnologie wurde maßgeblich durch die Wechselbeziehungen von spezifischen Technologieeigenschaften, hohen Investitions- und Technologiekosten sowie kurzen Produktlebenszyklen erreicht. Diese erzwingen den Vorrang der Weiterentwicklung der Produktionstechnik gegenüber grundlegenden Technologieveränderungen, da diese aufgrund der hohen Ausrüstungskosten ein zu großes wirtschaftliches Risiko darstellen. Hierdurch kristallisierten sich die Erhöhung des Integrationsgrades und die Verkleinerung von Strukturabmessungen als die wesentlichen Triebkräfte dieser Technologie heraus [76].

Die Entwicklung der Siliziumplanartechnik (Abb. 2.4) und der mit ihr erreichten Integrationsdichten hatte auch weitreichende Folgen auf die Art und Weise, wie die Verdrahtung elektronischer Schaltungen erfolgt. Bedingt durch die verschiedenen Fertigungstechniken für die Herstellung von integrierten Schaltkreisen und Leiterplatten, musste zur Erzielung hoher Integrationsdichten ein großer Teil der Verdrahtung auf die Chipoberfläche verlagert werden, da die Erzeugung einer derart feinen Verdrahtung nur mit den Fertigungsmethoden der Halbleitertechnik



**Abb. 2.4** Siliziumplanartechnik: Aufbau eines CMOS-Gatters (schematisch)

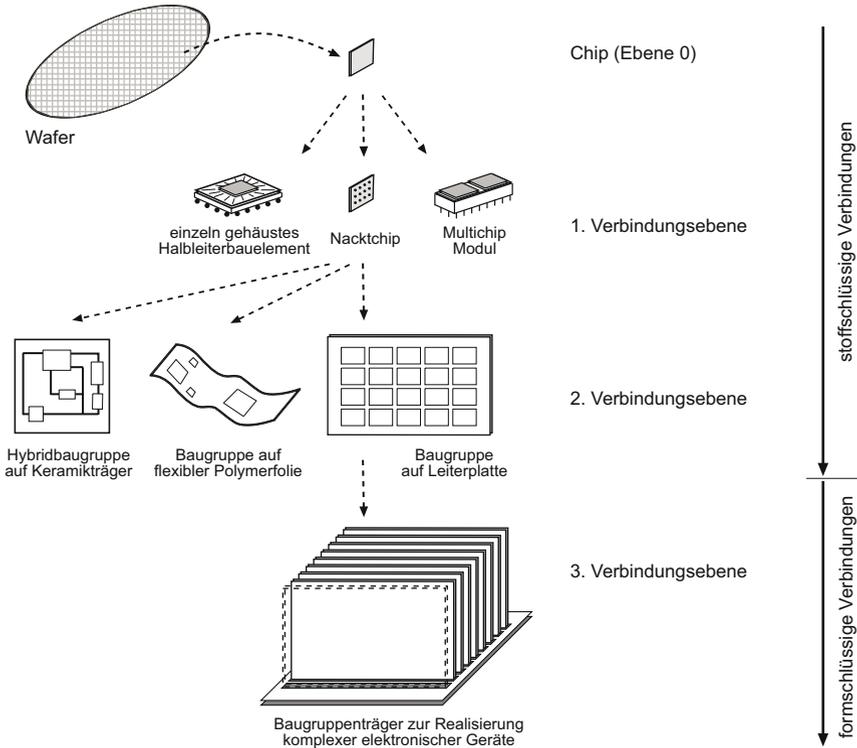
möglich ist. Obwohl die kapazitiven Fähigkeiten der Verdrahtung auf dem Schaltkreis ausreichen würden, die Schaltungsverdrahtung vorzunehmen, muss für bestimmte Aufgaben eine Weiterverdrahtung auf einem Verdrahtungsträger, wie einer Leiterplatte, erfolgen. Zu diesen Aufgaben zählt z. B. die Einbindung passiver Bauelemente bzw. von Bauelementen mit großen Abmessungen (Elektrolytkondensatoren, Quarze, Stecker). Hierdurch ergibt sich eine Auffächerung der Verdrahtung auf mindestens zwei Ebenen - einer ersten (der Chip Ebene), welche einen hohen Integrationsgrad zulässt, und einer zweiten (der Verdrahtungsträgerebene), welche eine große Flexibilität bezüglich der Art der zu verdrahtenden Bauelementtypen ermöglicht.

## ***2.3 Architektur elektronischer Aufbauten***

### **2.3.1 Grundkonzept und Aufbauhierarchie**

Der Aufbau elektronischer Schaltungen wird neben technologischen Aspekten durch Architekturkonzepte bestimmt. Während sich die Technologie mit der Art und Weise der Herstellung beschäftigt und vor allem Fragen des Zusammenwirkens der Prozesse und des Materialeinsatzes berührt, wird durch das Architekturkonzept der topologische Aufbau elektronischer Geräte bestimmt. Architekturkonzepte berühren daher Problemfelder, wie die Anschlusszahlentwicklung, die Erhöhung der Schaltfrequenzen, die Steigerung der Verlustleistung oder den Aufbau leichter, miniaturisierter, tragbarer Geräte. Für den Aufbau elektronischer Geräte gibt es eine große Anzahl verschiedener Architekturkonzepte. Um diese systematisch betrachten zu können, müssen die Konzepte nach bestimmten Gesichtspunkten unterschieden werden. Hierzu ist es hilfreich, zunächst die funktionellen Aspekte zu betrachten, die für verschiedene Konzepte ausschlaggebend sind. Obwohl eine Reihe von funktionellen Aufgaben, wie die Verteilung elektrischer Signale zwischen verschiedenen Schaltelementen, die Versorgung der Schaltung mit elektrischer Energie, die Abführung von Verlustleistung, der Schutz der Schaltelemente vor Feuchte, Chemikalien und mechanischen Belastungen, die Gewährleistung elektromagnetischer Verträglichkeit oder die Formgebung für nachfolgende Prozessschritte, die Architekturkonzepte bestimmen [78], liegt die grundlegende Aufgabe der Architektur in der zuverlässigen Verdrahtung aller in einer elektronischen Schaltung enthaltenen Funktionselemente. Wie in 2.2.3 bereits beschrieben, hat es sich als zweckmäßig herausgestellt, diese Verdrahtung auf zwei verschiedenen Ebenen durchzuführen - der Verdrahtung auf dem Schaltkreis, welche einen hohen Integrationsgrad erlaubt, und der Verdrahtung auf einem Verdrahtungsträger, welche eine hohe Flexibilität erlaubt (Abb. 2.5).

Aufgrund dieser Verdrahtungsphilosophie ergibt sich der grundsätzliche strukturelle Zusammenhang durch Zuordnung verschiedener Elemente eines Architek-



**Abb. 2.5** Hierarchie elektronischer Aufbauten (schematisch)

turkonzeptes in hierarchisch geordnete Verbindungsniveaus [78-83]. Ausgangspunkt der hierarchischen Ordnung sind die Anschlussstellen der Verdrahtung auf dem Halbleiterchip. Da die auf dem Halbleiterchip befindlichen Strukturen funktionsbedingt sehr empfindlich gegen Umwelteinflüsse, wie z. B. Fremdionen, Strahlung oder Feuchte sind, werden sie in einem ersten Verbindungsniveau (engl. first level interconnect) zunächst auf das nächste Verbindungsniveau vorbereitet. Diese Vorbereitung umfasst die geometrische Adaption an die größeren Rastermaße des nächsten Verbindungsniveaus, den Schutz vor Umwelteinflüssen durch eine entsprechende Häusung und - falls notwendig - Maßnahmen zur Abführung von Verlustwärme sowie den Ausgleich von thermischen Fehldehnungen durch den geringen Ausdehnungskoeffizienten von Si. Nach dieser Vorbereitung liegen aktive Bauelemente als gehäusete Halbleiterbauelemente zur Weiterverarbeitung vor, sodass sie zusammen mit den passiven Bauelementen in einem zweiten Verbindungsniveau (engl. second level interconnect) auf einen Verdrahtungsträger montiert werden können. Eine Ausnahme bildet die Verarbeitung aktiver Bauelemente

mit Direktmontagetechniken, wie Flip-Chip oder Chip on Board. In diesem Fall entfällt das erste Verbindungsniveau und die aktiven Bauelemente werden gleich zusammen mit den passiven auf einen Verdrahtungsträger zu einer Baugruppe montiert. Diese Baugruppe kann nun direkt in ein fertiges Endgerät, z. B. einen Taschenrechner, ein Telefon oder eine Motorsteuerung, eingebaut werden oder sie wird, wie z. B. bei einem Computer oder einer Industriesteuerung, mit anderen Baugruppen auf einer Mutterplatine (engl. motherboard) oder Rückseitenplatine (engl. backplane) zu einem Gesamtsystem zusammengesetzt. In beiden Fällen kommt üblicherweise eine dritte Verbindungsebene (engl. third level interconnect) zum Einsatz. Im Falle des Endgerätes wird die Baugruppe über diese dritte Verbindungsebene, z. B. mit Ein- und Ausgabeeinheiten, einer Stromversorgung oder einer Geräteschnittstelle verbunden, wobei diese Verbindungen in einigen Fällen bereits über die zweite Verbindungsebene erfolgen. Im Fall großer komplexer Systeme dient die dritte Ebene der Verbindung verschiedener spezialisierter Baugruppen untereinander, was in der Regel einen modularisierten Geräteaufbau ermöglicht. Neuere Betrachtungen [78, 81] beenden die Verbindungshierarchie elektronischer Aufbauten inzwischen nach der dritten Ebene, ursprünglich wurde in insgesamt fünf Ebenen [82, 83] unterteilt. Wichtig für alle weiteren Betrachtungen sind jedoch nur die beiden unteren Ebenen, welche von allen gleich betrachtet werden. Aus technologischen Gründen werden in den beiden unteren Ebenen gewöhnlich stoffschlüssige Verbindungen benutzt, während in allen höheren Ebenen üblicherweise formschlüssige Verbindungen zum Einsatz kommen.

Für die Betrachtung verschiedener Architekturkonzepte ist es zweckmäßig, sich zunächst auf die Darstellung einzelner Verbindungsniveaus zu konzentrieren. Während Architekturkonzepte sehr starken Veränderungen und Diversifizierungen unterzogen sind, ist zu beobachten, dass die Lösungen für einzelne Verbindungsniveaus vergleichsweise unveränderlich bleiben.

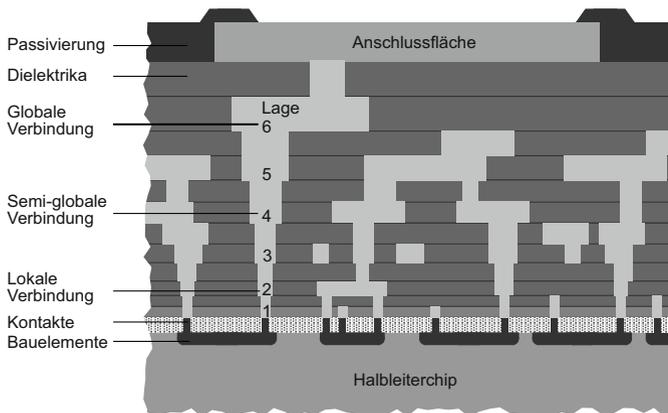
### 2.3.2 Erste Verbindungsebene

#### 2.3.2.1 Entwicklung und Aufgaben der ersten Verbindungsebene

Um die Entwicklung der verschiedenen Techniken zur Realisierung der ersten Verbindungsebene zu verstehen, müssen diese im Zusammenhang mit der Entwicklung integrierter Schaltkreise gesehen werden. Vor der industriellen Fertigung integrierter Schaltkreise Mitte der sechziger Jahre bestanden Halbleiterbauelemente aus diskreten Transistoren oder Dioden, welche in hermetischen Metallkapselgehäusen einzeln gekapselt wurden. Für die Verbindung der Chipanschlüsse (Al-Flächen) mit den Gehäuseanschlüssen wurde zunächst ein Thermokompressionsschweißverfahren mit Au-Drähten eingesetzt, welches allerdings aufgrund seiner hohen Verfahrenstemperaturen (350°C-400°C) zur Bildung der schlecht haftenden und als Purpurpest bekannten  $\text{AuAl}_2$ -Phase führte. Um die mit diesem

Verfahren verbundenen Zuverlässigkeitsprobleme zu überwinden, wurden andere Verfahren, wie die Beam-Lead- und die Flip-Chip-Technik, entwickelt. Beiden Techniken war gemein, dass der Chip mit einer Passivierungsschicht vor Umwelteinflüssen geschützt wurde und somit keines hermetischen Einzelgehäuses mehr bedurfte, was eine direkte Verbindung verschiedener diskreter Halbleiterbauelemente untereinander ermöglichte, indem diese beispielsweise auf einen Dickschicht-Keramik-Träger montiert wurden. Mit der Fertigung der ersten integrierten Schaltkreise wurden diese auf einem äußeren Träger befindlichen Verbindungen durch Al- oder Au-Dünnschichtverdrahtungen auf der Passivierung des Siliziumchips ersetzt. Die erhebliche Steigerung der Integrationsdichte seit den siebziger Jahren führte zur Herausbildung einer Dünnschichtmehrebenenverdrahtung auf dem Siliziumchip, wie sie schematisch in Abb. 2.6 dargestellt ist.

Diese Mehrebenenverdrahtung wird durch eine Passivierungsschicht abgeschlossen, welche Öffnungen zum Kontaktieren der Anschlussflächen aufweist. Zur elektrischen Verbindung dieser Anschlüsse werden zz. hauptsächlich drei Verfahren eingesetzt - die Drahtbondtechnik, die Flip-Chip-Technik und die Trägerfilmtechnik [84, 85]. Andere Verfahren tragen eher Nischencharakter. Die Realisierung der elektrischen Verbindung ist gleichzeitig mit der Forderung nach der Versiegelung der geöffneten Passivierungsfenster verbunden, da der integrierte Schaltkreis an diesen Stellen ungeschützt ist. Während beim Drahtbonds der



**Abb. 2.6** Schematische Darstellung einer Mehrebenenverdrahtung auf der Oberfläche eines integrierten Schaltkreises. Die Mehrebenenverdrahtung besteht aus übereinandergelagerten durch Isolationsschichten getrennten Verdrahtungsebenen, welche die Verbindung der einzelnen Schaltelemente auf der Halbleiteroberfläche übernehmen. Höher gelegene Verdrahtungsleitungen haben größere Abmaße als tiefer gelegene, damit sie eine höhere Stromtragfähigkeit aufweisen. Die Mehrebenenverdrahtung wird durch eine Schicht mit Anschlussflächen zur Weiterverdrahtung des Halbleiterbauelements in einer elektronischen Schaltung abgeschlossen.

Schutz durch eine anschließend aufgebrachte Vergussmasse bzw. einen hermetischen Gehäuseverschluss hergestellt wird, erfolgt die Versiegelung bei den anderen beiden Verfahren durch das Einbringen einer metallischen Barrierschicht in das geöffnete Passivierungsfenster, wodurch vorgelagerte Prozessschritte auf Scheibenniveau erforderlich sind. Neben der Schutzfunktion ist die Herstellung einer elektrischen Verbindung auch durch thermische und mechanische Aspekte begleitet. Diese betreffen das Abführen hoher lokaler Verlustwärmern als auch die mechanische Integrität während des Fügevorgangs und des Betriebes. Ursache mechanischer Schädigungen können zum einen durch den Fügeprozess eingebrachte Druckspannungen (z. B. beim Drahtbonden) sein, aber auch hohe Verfahrenstemperaturen, welche durch die unterschiedlichen Ausdehnungskoeffizienten verschiedener Schichtmaterialien zum Einfrieren hoher lokaler mechanischer Spannungen an der Verbindungsfläche des Chips führen.

### 2.3.2.2 Drahtbondtechnik

Die Drahtbondtechnik ist ein reines Kontaktanschlussverfahren, welches voraussetzt, dass der Halbleiterchip -in der sogenannten Chipmontage- zuvor fest mit dem zu kontaktierenden Gehäuse oder Träger verbunden wurde. Sie zeichnet sich dadurch aus, dass ein sehr feiner Draht dazu verwendet wird, die Anschlussfläche auf dem Chip mit einer Kontaktfläche eines Anschlusses des späteren Bauelementgehäuses bzw. eines Zwischenverdrahtungsträgers zu verbinden. Beide Verbindungen werden nacheinander erzeugt. Dadurch gewinnt die Drahtbondtechnik gegenüber den anderen Techniken erheblich an Flexibilität, da sie sich gut auf veränderliche Montagebedingungen einstellen kann. Obwohl die Drahtbondtechnik das heute dominierende Verfahren für die Realisierung der ersten Verbindungsebene ist, wies die Technik bei ihrer Einführung in den sechziger Jahren derart fundamentale Probleme auf, dass anderen Techniken, wie der Flip-Chip-, der Beam-Lead- und der Trägerfilmtechnik, zunächst größere Erfolgsaussichten zugeschrieben wurden.

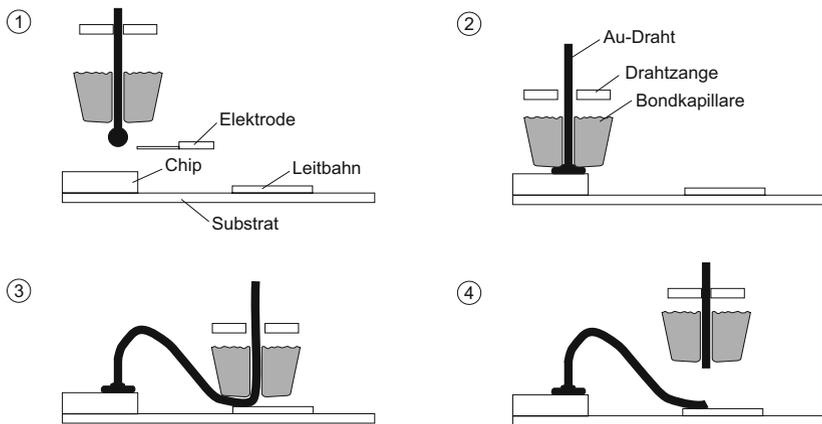
Zur Erzeugung einer Schweißverbindung zwischen der Al-Chipanschlussfläche und dem Au-Draht wurde zuerst eine Thermokompressionstechnik eingesetzt, welche durch Einbringung höherer Verfahrenstemperaturen die gegenüber einem reinen Pressschweißverfahren notwendigen Drücke senken sollte. Zu hohe Verfahrensdrücke führen zu zwei Problemen. Zum einen besteht das Risiko darin, im wenig risszähen Einkristallsilizium unterhalb der Anschlussfläche einen Muschelbruch zu erzeugen, zum anderen kann dies im sehr duktilen Au-Draht zu erheblichen festigkeitsmindernden Einschnürungen führen. Um letzteres Problem zu umgehen, wird der Druck über den Mantel einer Kapillare (Bondwerkzeug) auf einen mit dem Draht verbundenen Kugelkopf übertragen, wobei der Draht mittig aus dieser Kugel kommend durch die Kapillare geführt wird. Prozesstechnisch muss dazu der in einer Kapillare geführte Draht an seiner Spitze umgeschmolzen werden. Erst als dieser zuerst über eine Wasserstoffflamme realisierte Umschmelz-

prozess durch die Verwendung eines Lichtbogens besser beherrscht wurde, gelang es, reproduzierbare Kugeldurchmesser herzustellen, welche Voraussetzung für die Erzielung eines reproduzierbaren Verbindungsdruckes sind. Das zweite Problem waren die hohen Verfahrenstemperaturen des Thermokompressionsprozesses sowie der nachfolgenden Gehäuseverschlussprozesse. Hierdurch wurden sowohl die Bildung der  $AuAl_2$ -Phase sowie die Bildung von Kirkendalllöchern begünstigt, welche die Verbindungsfestigkeit stark verminderten. Erst durch die Einführung einer Ultraschallübertragung an das Bondwerkzeug und damit dem Einbringen von senkrecht zur Kompressionsrichtung wirkenden mechanischen Schwingungsenergien konnten die Verfahrenstemperaturen erheblich gesenkt werden, sodass sich die Drahtbondtechnik seit Anfang der siebziger Jahre zu einer zuverlässigen Verbindungstechnik mit hohen Prozessausbeuten entwickelte [86].

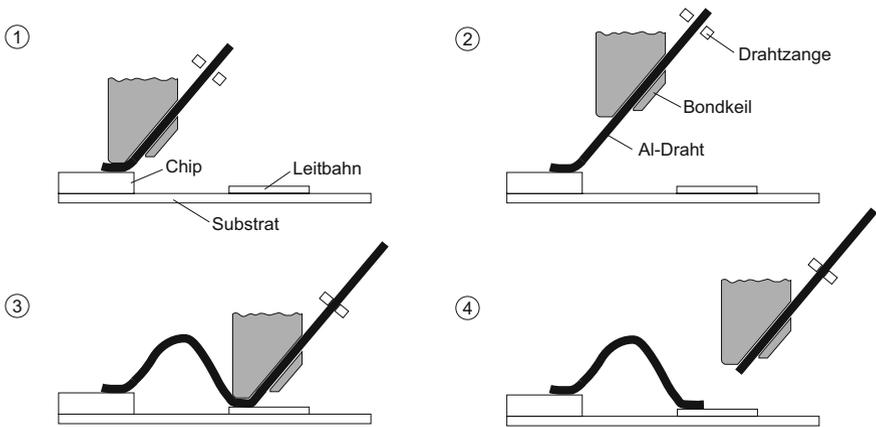
Der Einsatz von Ultraschallenergie führte zu zwei Verfahrensvarianten, dem sogenannten Ultrasonic-Verfahren (Abb. 2.7), hinter dem sich ein ultraschallunterstütztes Thermokompressionsverfahren verbirgt, und dem Ultraschallbonds (Abb. 2.8), bei dem ein Keilbondwerkzeug anstelle der Bondkapillare (vgl. Abb. 2.9) verwendet wird und das ohne thermische Unterstützung auskommt.

Als Drahtmaterialien kommen z. B. Gold-, Kupfer- und Aluminiumdrähte zum Einsatz, welche zur Eigenschaftsverbesserung auch mit Fremdstoffen dotiert sein können. Drahtdurchmesser liegen im Bereich von  $17\mu\text{m}$  ...  $75\mu\text{m}$  für normale Anschlusskontaktierung bzw.  $100\mu\text{m}$  ...  $625\mu\text{m}$  für Hochstromanschlüsse.

Das Thermosonic-Bonden wird üblicherweise mit Au- oder Cu-Drähten durchgeführt, während für das Ultraschallbonds in der Regel Aluminiumdrähte verwendet werden. Grund für diese Materialabhängigkeit der Bondverfahren ist die Tatsache, dass Aluminium auf seiner Oberfläche ein dünnes, stabiles und sehr hartes



**Abb. 2.7** Drahtbondtechnik: Verfahrensablauf beim Thermosonic Ball/Wedge-Bonden



**Abb. 2.8** Drahtbondtechnik: Verfahrensablauf beim Ultraschall Wedge/Wedge-Bonden (unten)

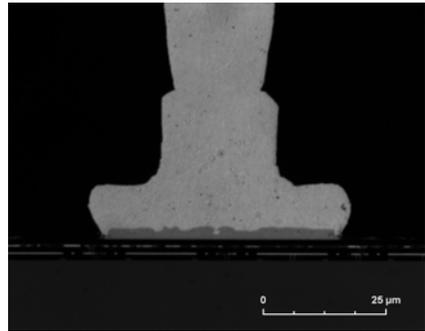
Oxid bildet, welches eine zwingende Voraussetzung für den sehr komplizierten Verbindungsvorgang beim Ultraschallschweißen zu sein scheint. Es wird dabei davon ausgegangen [87], dass es im Randbereich des während des Bondvorgangs stark deformierten Aluminiumdrahtes zu einer Schwingungsfortpflanzung kommt, da die eingebrachte vertikale Kraft zum Rand hin stark abnimmt. Durch diese im Randbereich auftretenden Schwingungen kommt es zu einer vollständigen Reinigung der Kontaktfläche von Oxiden und Adsorbaten, in deren Folge sich oxid- und adsorbatfreie Metallflächen gegenüberliegen. Durch die horizontal wirkende Kraft nähern sich beide gleichzeitig soweit an, dass es zum Verschweißen einer ringförmigen Randfläche des Wedgebondes kommt. Bei Gold und Kupferdrähten, welche kein stabiles und hartes Oxid auf ihrer Oberfläche ausbilden, wird durch kombinierten Ultraschall und Temperatureintrag ein Verschweißen erreicht. Um dennoch solche Drähte für den Ultraschallprozess nutzbar zu machen, besteht die Möglichkeit, diese mit einem nm-dicken Aluminiummantel zu beschichten [88].

Für die Verbindungsbildung beim Thermosonic-Bonden wird davon ausgegangen, dass es durch die plastische Verformung während des Andrückens des Drahtes auf dessen Oberfläche zur Ausbildung von Gleitstufen kommt, welche bei Einleitung einer horizontalen Ultraschallschwingung zur partiellen Aufbrechung der Oberflächenoxid- und Adsorbatschichten führt, sodass thermisch aktivierte Interdiffusionsvorgänge zur Verbindungsbildung führen. Infolge dieser sehr unterschiedlichen thermisch-mechanischen Belastungen kommt es zu spezifischen Gefügeänderungen im Draht (vgl. Abb. 2.10).

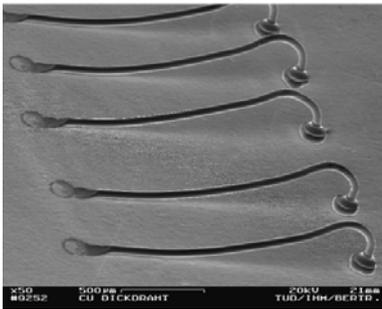
Im zz. üblichen Verfahrensablauf wird der zentrisch in einer Kapillare geführte Draht beim Thermosonic-Bonden zuerst durch einen Lichtbogen aufgeschmolzen, sodass am Drahtende eine Kugel mit dem 1,5-2,5 fachen Drahtdurchmesser entsteht. Diese Kugel wird dann durch einen kombinierten thermisch-mechanischen



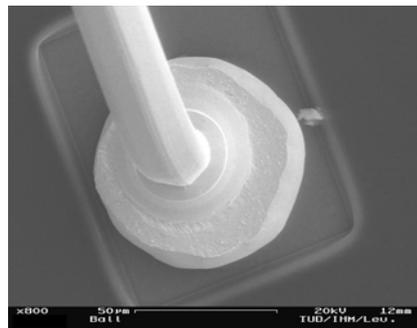
a)



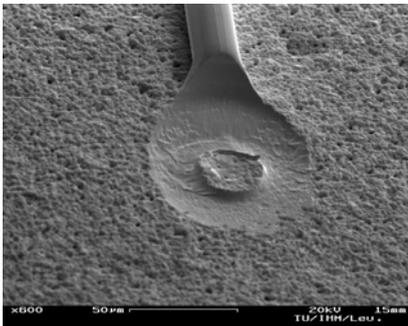
b)



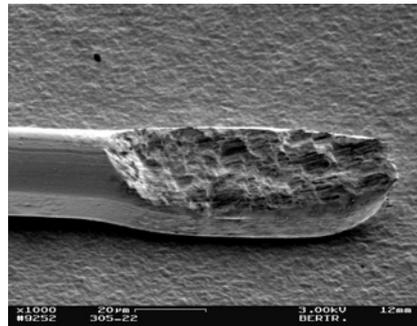
c)



d)

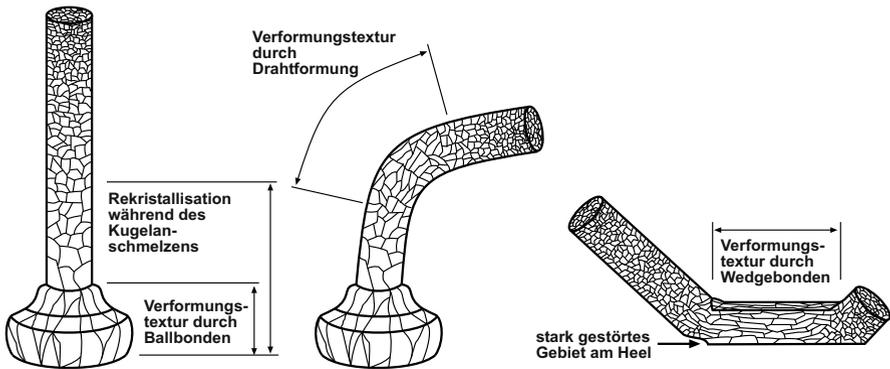


e)



f)

**Abb. 2.9** Drahtbondtechnik: a) Kapillarwerkzeug und Substrathalter für Thermokompressionsbonden; b) Querschliff durch eine Ball-Bondverbindung, c) Rasterelektronenmikroskopische Aufnahme der Topografie einer Ball-Bondverbindung, d) eines Ball-Wedge-Loopes, e) einer Wedge-Bondverbindung eines Ball-Wedge-Drahtbonds, f) einer Wedge-Bondverbindung eines Wedge-Wedge-Drahtbonds



**Abb. 2.10** Drahtbondverbindungen, Verbindungszonen, Drahtgefüge, Verformung und Bruch am sogenannten „Heel“ eines Wedge-Kontaktes (adaptiert aus [86])

Energieeintrag mit dem Anschlusspad der Halbleiterchips verschweißt (Ballbond). Danach wird der Draht nach außen gezogen und mit der Anschlussfläche des Bauelementkontakts oder der eines Verdrahtungsträgers verschweißt (Wedgebond). Danach wird der Draht abgerissen (Abb. 2.7). Neuste Verfahrensoptimierungen lassen offensichtlich auch ein Thermosonic-Ball/Wedge-Bonden ohne zusätzlichen Temperatureintrag zu [89].

Beim Ultraschallbonden wird ein Werkzeug verwendet, welches der Draht in einem Winkel von  $30^\circ$ - $60^\circ$  zur Fußfläche durchläuft. Wie beim Thermosonic-Verfahren wird zuerst der Anschlusskontakt am Chip und danach der Kontakt am Bauelementanschluss erzeugt (Abb. 2.7). Aufgrund der schiefwinkligen Drahtführung lässt sich der Draht beim Ultraschallschweißen im Gegensatz zum Thermosonic-Verfahren nur in einer Richtung wegziehen, wodurch es notwendig wird, den Chip mehrfach zu drehen, um alle vier Anschlussseiten zu kontaktieren. Die Vorteile des langsameren, d. h. unproduktiveren und damit wesentlich weniger verbreiteten, Ultraschallbondens liegen in der sehr stabilen Kontaktierung bei Raumtemperatur. Besonders bei Verwendung verschiedener Verbindungstechniken auf einem Träger, wie z. B. der Kontaktierung von Halbleiterchips auf einer Dickschichthybridschaltung, hat dies erhebliche Vorteile.

### 2.3.2.3 Flip-Chip-Technik

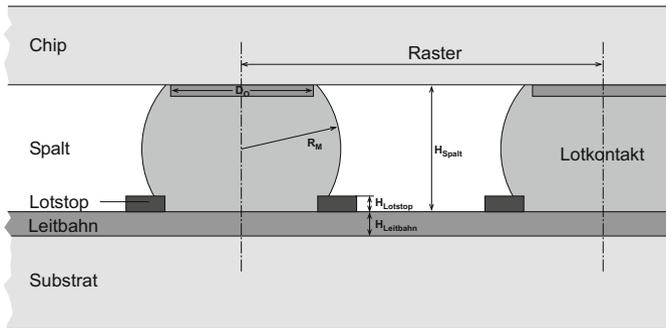
Anders als beim Drahtbonden erfolgt bei der Flip-Chip-Technik keine Chipmontage vor der Anschlusskontaktierung. Stattdessen wird das Halbleiterbauelement mit der aktiven Seite gegen den Verdrahtungsträger gedreht (daher die Bezeichnung "Flip") und über Bumps - welche sich auf mindestens einem der beiden Fügepartner befinden - mit diesem verbunden. Über diese Anschlusskontaktie-

rung erfolgt auch eine räumliche Fixierung des Halbleiterbauelementes, sodass der Schritt Chipmontage entfällt.

Neben dem Fügeprozess besteht ein sehr wesentlicher Unterschied zum Drahtbonden auch in der Notwendigkeit, die Anschlüsse des Halbleiterchips vor dem eigentlichen Fügeprozess als lötfähige Flächen, sogenannte Bumps (Lothügel), zu gestalten. Da die Drahtbondtechnik das für die erste Verbindungsebene derzeit dominierende Verfahren ist, ist das Anschlussflächenlayout für Halbleiterbauelemente jedoch oft auf einen Drahtbondprozess ausgerichtet. Um ein Halbleiterbauelement Flip-Chip-fähig zu machen, reicht es jedoch nicht, auf die vorhandenen Anschlussflächen Bumps aufzubringen. Klassische Drahtbondlayouts können für den späteren Flip-Chip-Montageprozess eine Reihe erheblicher Nachteile mit sich bringen. Aus diesem Grund wird in einigen Fällen auf dem schon vorhandenen Drahtbondlayout eine weitere Umverdrahtung (z.B. mit BCB) aufgebracht, um das Halbleiterbauelement Flip-Chip-fähig zu gestalten. Ein gutes laterales Flip-Chip-Layout ist dadurch gekennzeichnet, dass es eine regelmäßige Anordnung der Anschlussflächen über der Chipfläche gibt, da unregelmäßige Anordnungen zu ungleichmäßigen Druckbildern bzw. Potenzialverteilungen bei galvanischer Abscheidung führen. Bei der Gestaltung der Öffnungen müssen ausreichende Zwischenabstände gewährleistet sein, um entweder ein Überdrücken der Anschlussflächen oder ein galvanisches Anwachsen von Pilzstrukturen beim Waferbumping zu ermöglichen. Aufgrund dieser Besonderheiten beim Layout weist die Verbindungsanordnung eines Flip-Chip-montierten Halbleiterbauelements keine beliebig eng nebeneinanderstehenden Kontakte auf. In der Regel ist das Verhältnis von Zwischenraum und Kontaktdicke in etwa gleich. Andere geometrische Einschränkungen ergeben sich durch die verwendbaren Leitbahndicken sowie durch die Gestaltung des Lotstoplackes auf organischen Verdrahtungsträgern. Leitbahndicken müssen erheblich kleiner sein als die Höhe der Lotbumps, da sich ansonsten ein zu geringer Lotspalt ergibt. Für die Gestaltung der Lotstopmaske zur Definition der Landeplätze von Flip-Chip-Bauelementen hat sich auf organischen Verdrahtungsträgern ein sogenanntes Steglayout bewährt. Dadurch bekommt das Unterfüllungsmaterial mehr Platz zum Fließen und erhält eine gute Kopplung zum Basismaterial. Die Summe der verschiedenen geometrischen Einschränkungen führt zu der in Abb. 2.11 dargestellten Topologie von Flip-Chip-Verbindungen.

Gegenüber der Drahtbondtechnik weist die Flip-Chip-Technik wesentliche technische Vorteile auf, welche ihr für die zukünftige Entwicklung elektronischer Aufbauten einen Vorzug einräumen. Zu diesen Vorteilen zählen die Möglichkeit, höhere Anschlusszahlen realisieren zu können (wie es für den Prozessorbereich bereits notwendig ist), ihre besseren elektrischen Eigenschaften zur Erzielung guter HF-Eigenschaften und niedrigere erreichbare Bauhöhen sowie geringere laterale Abmessungen, was vor allem bei kleinen tragbaren Geräten, aber auch bei Speicherriegeln und Smart-Cards von Bedeutung ist.

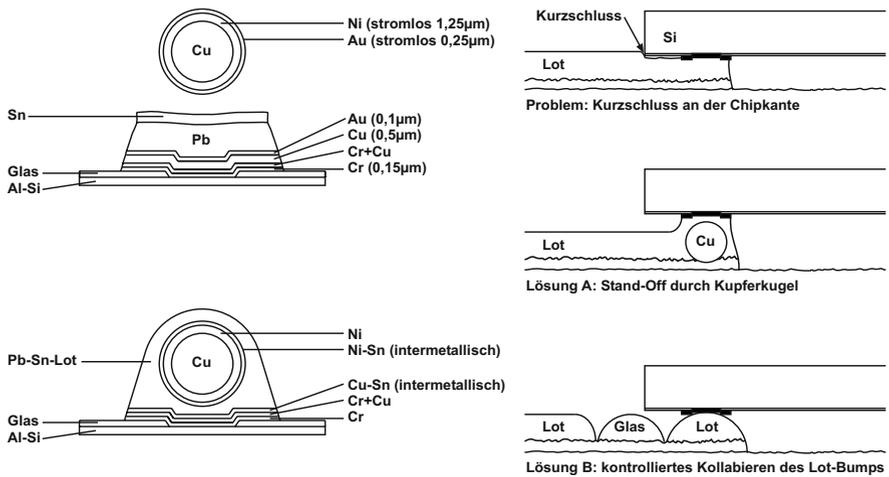
Anders als aus den derzeit die technologische Ausrichtung bestimmenden Vorzügen ersichtlich, waren die Gründe, die zur Entwicklung der Flip-Chip-Technik führten, zunächst andere. Die erste großtechnische Anwendung der Flip-Chip-



**Abb. 2.11** Flip-Chip-Verbindungen mit den entsprechenden geometrischen Bezügen

Technik begann im Jahr 1964. Damals wurden Logikbausteine für den IBM System/360 gefertigt. Dafür wurden Halbleiterbauelemente in Flip-Chip-Technik auf  $\text{Al}_2\text{O}_3$ -Keramik gefügt. Zu diesem Zeitpunkt erwies sich die eingeführte Flip-Chip-Technik als wesentlich zuverlässiger als die damals bestehende manuelle Drahtbondtechnik, welche vor allem mit Problemen wie Whiskerbildung und Purpurpest zu kämpfen hatte. Auch unter ökonomischen Aspekten hatte die Flip-Chip-Technik keinen Nachteil gegenüber der Drahtbondtechnik, da der Lotbump aufgrund seiner rein vakuumtechnischen Herstellung ein integraler Bestandteil der hermetischen Versiegelung der Waferoberfläche durch die Glaspasivierung war (vgl. Abb. 2.12). Die meisten über Drahtbondtechnik montierten Halbleiterbauelemente hatten demgegenüber sehr aufwendige hermetische Metallkappengehäuse mit Glasdurchführungen. Zu dieser Zeit wurden selbst diskrete Transistoren und Dioden auf keramischen Hybridträgern in Flip-Chip-Technik montiert, da hierdurch Überschlüge und Kurzschlüsse zwischen den ungeschützten Chipkanten und freiliegenden Dickfilmanschlussflächen vermieden werden konnten. Mit den Fortschritten in der Drahtbondtechnik und der Einführung kostengünstiger nichtthermischer organischer Gehäuse für Halbleiterbauelemente trat die Flip-Chip-Technik immer weiter in den Hintergrund. Anwendung fand sie vor allem in Nischenprodukten, wie den TC-Modulen (Thermal Conduction Module) von IBM, welche für die Realisierung leistungsstarker Prozessoren über eine Multichiptechnik verwendet wurden.

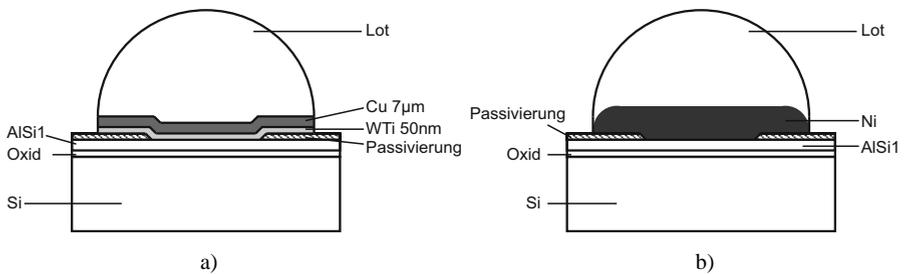
Ihre Renaissance erlebte die Flip-Chip-Technik Anfang der 90er Jahre. Hierfür waren zwei Schlüsselerentwicklungen ausschlaggebend - kostengünstige Prozesse zur Bumperzeugung und die Einführung des Unterfüllungsprozesses. Nasschemische Prozesse oder gar Siebdruck wurden für die Fertigung von Wafern lange Zeit nicht in Betracht gezogen, da der grundsätzliche Einwand bestand, dass diese Prozesse zu viele Verschmutzungen auf die Waferoberfläche bringen würden, welche



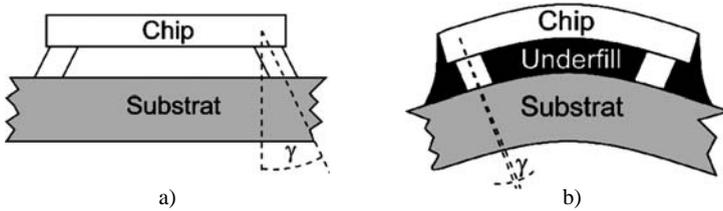
**Abb. 2.12** Verschiedene Bumpingtechniken der Flip-Chip-Entwicklung (adaptiert aus [85])

langfristig zu Kennliniendegradationen der Bauelemente führten. Die Entwicklung leistungsfähiger Passivierungen und Barrieren ermöglichte später jedoch die Einführung dieser Prozesse in die Waferbearbeitung. Die beiden wichtigsten Prozesse zur Herstellung von Lotbumps sind die chemische Abscheidung einer NiAu-Unterbumpmetallisierung mit anschließendem Lotpastendruck und die galvanische Abscheidung einer Cu/Ni-Unterbumpmetallisierung mit galvanischer Lotabscheidung. Beide Prozesse führen zu einem unterschiedlichen Aufbau einer Flip-Chip-Verbindung, welche in Abb. 2.13 dargestellt ist.

Die stark unterschiedlichen thermischen Ausdehnungskoeffizienten zwischen Silizium und organischen Trägermaterialien verhinderten lange Zeit aus thermo-



**Abb. 2.13** Vergleich: Aufbau galvanisch abgeschiedener Flip-Chip-Bumps auf a) Cu-UBM und b) gedruckter FC-Bumps auf Ni-Au UBM



**Abb. 2.14** Reduzierung der thermisch-mechanisch bedingten Scherung von Flip-Chip-Kontakten durch den Einsatz eines Unterfüllungsmaterials (engl. Underfill): a) Flip-Chip-Aufbau ohne Unterfüllungsmaterial, b) Flip-Chip-Aufbau mit Unterfüllungsmaterial

mechanischen Gründen eine Anwendung auf diesen kostengünstigen Trägern. Damit blieb der Flip-Chip-Technik nur der kostenintensivere Bereich der keramischen Träger vorbehalten [90].

Erst durch die Einführung eines Unterfüllungsprozesses (engl. Underfilling) gelang es Ende der 80er Jahre, der Flip-Chip-Technik eine mit anderen Verbindungstechniken vergleichbare Zuverlässigkeit zu verleihen. Der Unterfüllungsprozess erfolgt, nachdem der Siliziumchip mit der aktiven Seite gegen das Substrat gebondet wurde. Hierbei wird unter Nutzung von Kapillarkräften ein Polymermaterial in den dünnen Spalt ( $h = 30 \dots 100 \mu\text{m}$ ) zwischen Chip und Substrat eingebracht, welches am Ende dieses Prozessschrittes die gesamte Fläche unter dem montierten Chip ausfüllt - daher auch der Name "Unterfüllungsprozess". Die Absicht des Unterfüllens von Flip-Chip-Verbunden besteht in der Schaffung einer ganzflächigen Klebeverbindung zwischen Chip und Substrat. Dadurch werden Chip und Substrat zu einem Bimaterialverbund vereint. Der Vorzug dieses gegenüber dem nicht unterfüllten Flip-Chip-Verbund sehr steifen Bimaterialverbundes bei Temperaturwechseln ist in Abb. 2.14 dargestellt. Anstelle der nahezu freien, entkoppelten thermischen Dehnung von Chip und Substrat beim nicht unterfüllten FC-Verbund, welcher eine große Scherung im FC-Kontakt erzeugt, kommt es bei Temperaturveränderungen zu einer Verwölbung des unterfüllten FC-Verbundes. Durch diese Verwölbung wird die Scherung in den FC-Kontakten erheblich reduziert und damit die Zuverlässigkeit des gesamten Aufbaus gesteigert.

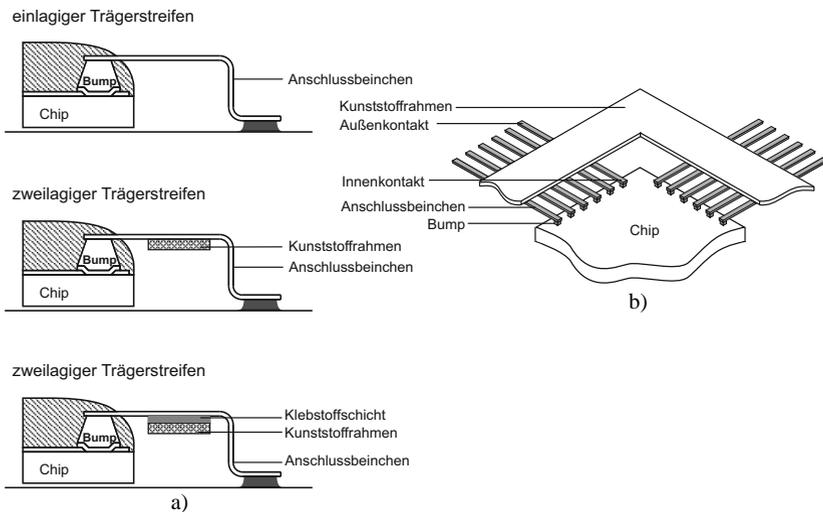
#### 2.3.2.4 Trägerfilmtechnik

Für die Trägerfilmtechnik existieren verschiedene Namen. Am weitesten verbreitet ist TAB, welches vom französischen „Transfert Automatique sur Bande“ abgeleitet ist. In Japan wird auch der Begriff Tape-Carrier-Package (TCP) verwendet.

Die Grundidee der Trägerfilmtechnik ist es, zur Kontaktierung der Anschlüsse auf dem Halbleiterbauelement ein Folienmaterial zu verwenden, auf dem sich, ähnlich wie auf einer flexiblen Leiterplatte, strukturierte Leitbahnen befinden. Diese Leitbahnen liegen in einem ausgesparten Innenbereich sowie im Außenbereich

frei, sodass diese mit dem Halbleiterchip sowie mit einem Verdrahtungsträger verbunden werden können. Zur Verbindung auf dem Halbleiterchip sind auf diesem die Anschlusskontakte über metallische Festdepots (Au, Cu) deutlich über der Passivierungsoberfläche erhaben. Auf der Oberfläche der metallischen Festdepots kann eine lötbare Schicht aus einer Sn-Legierung vorhanden sein. Die Kontaktierung erfolgt in der Regel simultan durch Feinschweißen oder Löten. Nach der Kontaktierung der Halbleiterchips, welche in einem Rolle-zu-Rolle-Verfahren durchgeführt wird, erfolgt die Herstellung der Außenverbindungen. Dazu wird der Einzelträger aus der Trägerfolie ausgeschnitten und es werden gegebenenfalls die äußeren Anschlussbahnen abgewinkelt. Die Außenkontakte der Leitbahnen können über Löten oder Feinschweißen auf dem Verdrahtungsträger aufgebracht werden (Abb. 2.15).

Die Entwicklung der Trägerfilmtechnik kam - wie die der Flip-Chip-Technik - aufgrund der vielfältigen Probleme, welche mit der frühen Drahtbondtechnik verbunden waren, zustande. Ziel war es, ein hochgradig automatisierbares Rolle-zu-Rolle-Simultanbondverfahren zu entwickeln, welches aufgrund seiner Mechanisierung bei in hohen Stückzahlen hergestellten Halbleiterbauelementen geringer Anschlusszahlen zu geringeren Kosten als Drahtbonden führen würde [91]. Dieses Ziel wurde durch die Trägerfilmtechnik bis etwa Ende der achtziger Jahre erreicht, bis sich auch für die Montage einfacher TTL-Schaltkreise Drahtbonden als die kostengünstigere Technik herausstellte. Der Trägerfilmtechnik kam zunächst große Bedeutung bei der Realisierung von Workstations und Supercomputern zu, da sich auf dem Folienmaterial sehr enge Rastermaße realisieren ließen [92]. Allerdings



**Abb. 2.15** Trägerfilmtechnik (schematisch): a) unterschiedliche Ausführung des Trägerstreifens, b) vierseitige Kontaktierung des Halbleiterchips

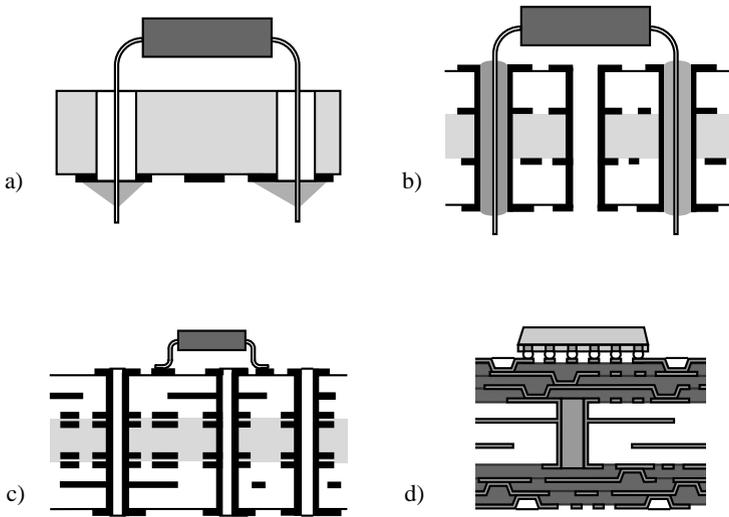
war die Anwendung der Technik auf Anschlusszahlen von weniger als 1000 Anschlüsse beschränkt [93]. Auch bei der Einführung flächenkontaktierbarer Bauelemente, wie BGA und CSP, kam die Trägerfilmtechnik zur Realisierung der ersten Verbindungsebene sehr stark zum Einsatz [94]. Allerdings weist die Flip-Chip-Technik auf lange Sicht in diesen Anwendungen die besseren elektrischen Eigenschaften sowie die Realisierung höchster Anschlusszahlen auf. Ihre Vorteile wird die Trägerfilmtechnik überall dort behalten, wo ohnehin flexible Leiterplatten als Verdrahtungsträger zum Einsatz kommen, wie z. B. bei Uhren, Druckköpfen, Taschenrechnern, Kameras, Hörgeräten, Smart-Cards usw.usf.

### 2.3.3 Zweite Verbindungsebene

#### 2.3.3.1 Entwicklung und Aufgaben der zweiten Verbindungsebene

Die zweite Verbindungsebene war bezüglich ihres Aussehens und der durch sie zu übernehmenden Funktionen verschiedenen Wandlungen unterzogen. Bis in die sechziger Jahre hinein wurden Schaltelemente über Röhren und Relais realisiert, welche zunächst durch Drähte untereinander verbunden wurden. Diese Verdrahtung wurde in verschiedenen Varianten, z. B. als Mattenverdrahtung, geschriebene Blankverdrahtung oder Wirewrapverdrahtung, ausgeführt und in einem Gestell (bzw. Rahmen) aufgebaut, durch das die geometrische Anordnung und mechanische Befestigung von Bauelementen und Drähten erfolgte [93].

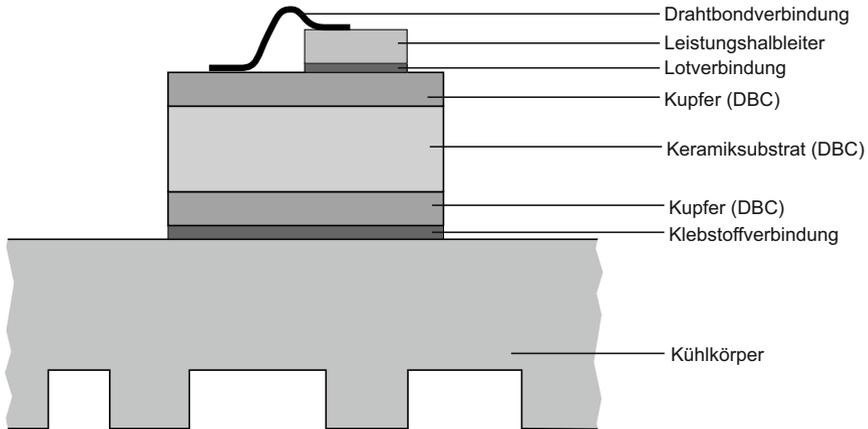
Durch die Einführung der Leiterplatte Anfang der fünfziger Jahre wurde dann eine Verdrahtungstechnik realisiert, welche die mechanische Befestigung und geometrische Anordnung der Bauelemente sowie die Herstellung der elektrischen Verbindungen zwischen ihnen in einer konstruktiven Einheit verband. Sie ermöglichte die Herstellung von Schaltungsverdrahtungen mit reproduzierbaren Eigenschaften und schuf die Grundlage für eine wirtschaftliche automatisierte Fertigung [67, 93]. Zur Bauelementemontage wurde eine Durchstecktechnik verwendet, welche den Vorteil einer Lagesicherung des Bauelementes vor dem Anlöten hatte. Dazu waren Löcher in die Leiterplatte eingebracht, welche später metallisiert wurden, um Durchkontaktierungen in Zwei- und Mehrebenenleiterplatten zu realisieren. Durch Mehrebenenleiterplatten konnten komplexere Verdrahtungen ermöglicht werden, um den mit der Einführung integrierter Schaltkreise gestiegenen Anforderungen nach höheren Packungsdichten gerecht zu werden. Die in den siebziger Jahren einsetzende zunehmende Verwendung integrierter Schaltkreise führte zur Verdrängung schwerer, voluminöser Bauelemente, z. B. Relais, aus der Schaltungstechnik. Bedingt durch die gleichzeitige Notwendigkeit, immer höhere Packungsdichten auf einem Verdrahtungsträger zu erreichen, wurde die bisherige Durchstecktechnik in den achtziger Jahren durch eine Oberflächenmontage- bzw. Aufsetztechnik (engl. Surface Mount Technology = SMT) ersetzt. Die Funktion der mechanischen Fixierung der Bauelemente wurde nun vollständig durch den Lotkontakt übernommen.



**Abb. 2.16** Evolution der zweiten Verbindungsebene: a) Durchstecktechnik (THT) auf einseitig metallisierten Verdrahtungsträgern, b) Durchstecktechnik auf Mehrlagenverdrahtungsträgern (Multilayer), c) Oberflächenmontagetechnik (SMT) auf Mehrlagenverdrahtungsträgern, d) flächenhafte Anschlussmontage (Area Array) auf hochdichten Mehrlagenverdrahtungsträgern (HDI)

Dies setzte nicht nur leichte Bauelemente voraus, sondern auch eine entsprechende Gestaltung ihrer Anschlussflächen. Diese mussten - vor allem bei mehrpoligen Bauelementen - über eine ausreichende Planarität und Kontaktfläche verfügen. Die Größe der Kontaktfläche war aus zwei Gründen entscheidend. Zum einen sorgte sie für eine ausreichende Haltekraft für das Bauelement nach dem Lötens, zum anderen erhöhten größere Flächen die Benetzungskraft während des Lötvorganges, wodurch es zu einer nachträglichen Ausrichtung lageabweichend aufgesetzter Bauelemente während des Lötvorgangs kommt. Vor allem bei der Bewältigung sehr enger Anschlussraster hatte dies sehr positive Auswirkungen bezüglich der Aufsetzgenauigkeit von Bestückautomaten. Die vollständige Automatisierung der Bestückung war ein weiterer wichtiger Aspekt, welcher mit der Herausbildung der Oberflächenmontagetechnik einherging. Die automatische Bestückung war zwar mit der Durchstecktechnik möglich, allerdings war der Prozessablauf komplizierter und weniger produktiv.

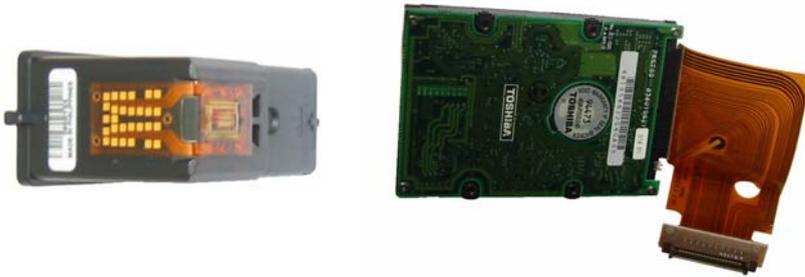
Die weitere technische Entwicklung der integrierten Schaltkreise führte zu einer Erhöhung der Anschlusszahlen und Schaltfrequenzen, welche durch die bisherigen Konzepte für Bauelementeformen nicht mehr zu bewältigen waren. Aus diesem Grund kam es Ende der achtziger und Anfang der neunziger zu zwei wichtigen Entwicklungen bei den Bauelementeformen - den Multichipmodulen (engl. Multi-



**Abb. 2.17** Realisierung der zweiten Verbindungsebene durch keramische Verdrahtungsträger zur Fertigung von Baugruppen für höhere Betriebstemperaturen: Leistungshalbleiter auf DBC-Substrat (direct bonded copper), welches auf einen Kühlkörper montiert ist

chip Module = MCM) und den flächenkontaktierbaren Bauelementen (engl. Area Array Components). Die Idee der Multichipmodule besteht darin, einen Zwischenverdrahtungsträger einzusetzen, auf dem mehrere Halbleiterchips zunächst untereinander verbunden werden und von dem Bauelementekontakte zur eigentlichen zweiten Verbindungsebene abgehen. Aufgrund der besonderen Beschaffenheit des Zwischenverdrahtungsträgers sowie der räumlichen Nähe der Halbleiterchips sind auf diesem Träger höhere Schaltfrequenzen als auf einem außerhalb des Bauelementegehäuses liegenden Verdrahtungsträger möglich. Die mit den Multichipmodulen verbundene Entwicklung von Zwischenverdrahtungsträgern erleichterte gleichzeitig die Entwicklung gehäuseter flächenkontaktierbarer Bauelementeformen zur Erzielung hoher Anschlusszahlen. Vor der Entwicklung der hauptsächlich unter der Bezeichnung Ball-Grid-Array (BGA) und Chip-Scale-Package (CSP) bekannten Bauelementeformen waren flächenhafte Kontaktierungen höchstpoliger Bauelemente nur über eine Flip-Chip-Montage möglich, welche allerdings den Nachteil sehr feiner Anschlussraster und die Problematik der Nacktchipmontage nach sich zog. Auf Verdrahtungsträgerseite wurde die Einführung hochpoliger Bauelementeformen durch die Entwicklung von HDI-Leiterplatten (HDI = High-Density-Interconnect) begleitet, welche sich in ihrer Grundstruktur jedoch nicht von Mehrlagenleiterplatten unterscheiden (Abb. 2.16).

Auf Mehrebenenleiterplatten aufgelötete Bauelemente bilden die Hauptrealisierungsvariante für die zweite Verbindungsebene. Jedoch existieren für bestimmte Anwendungsfälle auch alternative Realisierungen. Die wichtigste Alternativvariante besteht in der auf keramischen Substraten angewendeten Dickschichttechnik. Bei Verwendung der Dickschichttechnik können passive Bauelemente, wie Wider-



**Abb. 2.18** Nischenvarianten der zweiten Verbindungsebene: Flexible Leiterplatten zur Realisierung gebogener vieladriger Verbindungen auf einer Druckerpatrone und an einem Verbindungsstecker einer Festplatte

stände oder Kondensatoren, direkt gedruckt werden. Halbleiterbauelemente können durch Löten, Kleben oder Drahtbonden auf den Dickschichtschaltungen montiert werden. Aufgrund der guten Temperaturbeständigkeit werden Dickschichtschaltungen z. B. in der Kfz-Elektronik eingesetzt (Abb. 2.17). Andere Varianten der Verbindungstechnik der zweiten Ebene betreffen den Träger, z. B. durch Verwendung von flexiblen Leiterplatten oder dreidimensionalen MID-Substraten (MID = Mould-Injection-Devices, d. h. thermoplastische Spritzgußmasse wird als Träger verwendet), oder sie betreffen die Verbindungstechnik, z. B. Leitkleben statt Löten (Abb. 2.18).

Die Vielfalt der Realisierungsvarianten entspricht den sehr unterschiedlichen Aufgabenstellungen, welche durch die zweite Verbindungsebene zu bewältigen sind. Im Gegensatz zu den Aufgaben der ersten Ebene werden diese viel stärker von der Anwendung vorgegeben. Zu den beiden Grundaufgaben zählen die mechanische Fixierung der Bauelemente und die Verdrahtung der Bauelementeanschlüsse. Letztere Aufgabe besteht dabei aus vielen Teilaspekten, wie der Gewährleistung stabiler Energieversorgung, Gewährleistung einer integren Signalübertragung (d. h. Flankenzeiten, Signalstörungen durch Reflexionen), Berücksichtigung der Entstehung von Rauschsignalen, Signaleinkopplungen, Leitungsimpedanzen, Anpassung von Leitungsquerschnitten und Leitungsabständen, Erfüllung von EMV-Anforderungen (d. h. Gewährleistung der Störfestigkeit, Minimierung der Störsendung), dem Bereitstellen großer Betriebsspannungs- und Masseflächen zur Minimierung von Versorgungsspannungsschwankungen bei exzessiven Schaltvorgängen. Neben diesen Grundaufgaben sind in Abhängigkeit von der Anwendung auch weitere Aufgaben, wie Wärmeabführung, Aufnahme voluminöser, schwerer Bauelemente oder die Bereitstellung besonderer Funktionselemente, zu bewältigen. Die Aufgabe der Wärmeabführung wird über die Bereitstellung von Kühlflächen, thermischen Vias (d. h. vertikale Strukturen zur Wärmeleitung) oder durch die geeignete Montage von oder an Kühlkörpern erreicht. Zu den typischen voluminösen bzw. schweren Bauelementen, welche durch die zweite Verbindungs-

ebene aufgenommen werden müssen, zählen beispielsweise große Elektrolytkondensatoren, Leistungswiderstände, Stecker, Relais oder Transformatoren, welche in der Regel in Durchstecktechnik montiert werden. Besondere Funktionselemente umfassen beispielsweise Antennen oder die Kontaktflächen von Tastern, welche direkt durch Verdrahtungsträgerstrukturen bereitgestellt werden.

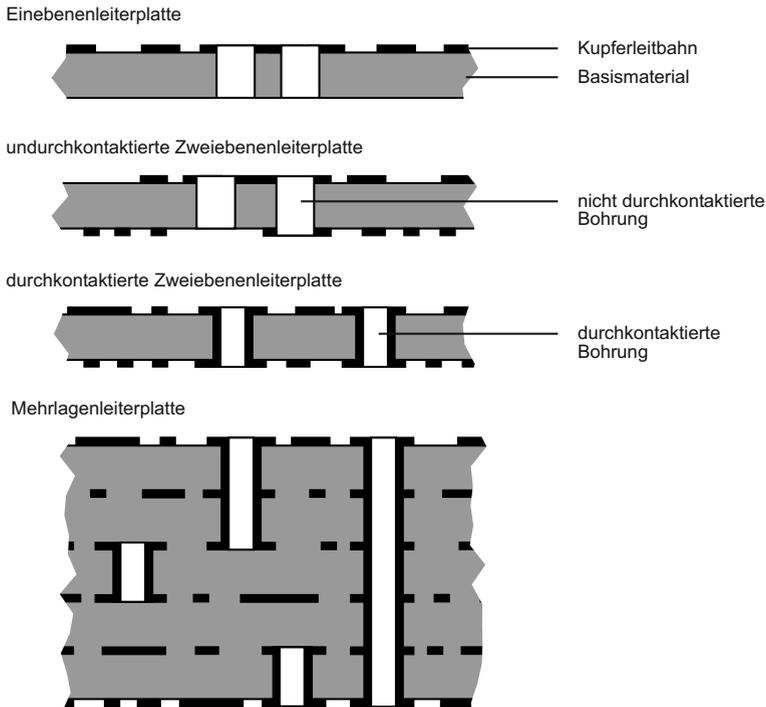
Die Vielfalt von spezifischen Aufgaben, welche durch die zweite Verbindungsebene erfüllt werden, führen auch zu einer Vielfalt von Bauelemente-, Verdrahtungsträger- und Verbindungsformen. Aus diesem Grund richtet sich die Beschreibung von Verdrahtungsträgern und Bauelementeformen der zweiten Verbindungsebene nach der Erfüllung der genannten Grundaufgaben.

### 2.3.3.2 Verdrahtungsträger

Verdrahtungsträger bestehen aus einem elektrisch isolierenden Trägermaterial, auf dem Leiterzüge zur Verdrahtung der einzelnen Bauelemente aufgebracht sind. Für verschiedene Anwendungen und Anforderungen existieren verschiedene Arten von Verdrahtungsträgern, welche jedoch das gleiche Grundkonzept besitzen. Verdrahtungsträger werden vor allem nach dem Trägermaterial, der mechanischen Flexibilität des Trägers, nach der Anzahl der Lagen und nach der Leiterzugdichte unterschieden. Die Unterscheidung nach dem Trägermaterial ist dabei die wichtigste in Bezug auf das mechanische Verhalten von Verdrahtungsträgern. Trägermaterialien werden dabei grundsätzlich in organische und keramische Träger unterteilt, wobei die organischen wiederum in starre und flexible Träger unterschieden werden. Im Gegensatz zu den flexiblen sind starre Träger Verbundmaterialien, welche aus einer steiferen Armierung und einem dieses umschließendes Harzsystem bestehen. Zusätzlich können noch weitere dünne Polymerschichten zur Realisierung hochdichter Verdrahtungen aufgebracht sein. Als Armierungsmaterialien werden u. a. Hartpapiere, Glasvliese und -gewebe, Aramidvliese und -gewebe als auch PTFE-Gewebe eingesetzt. Übliche Harzsysteme sind Phenolharze, Polyesterharze, Epoxidharze, Bismaleinimid/Triazin-Harze, Cyanatesterharze und PTFE [66, 68, 95].

Organische Träger sind sehr kostengünstig und erlauben aufgrund ihrer hohen Risszähigkeit die Herstellung von großflächigen Trägern, wie z. B. Mutterplatten von Computern. Überdies besitzen sie gute mechanische Dämpfungseigenschaften und reduzieren effektiv die Einleitung mechanischer Stöße bzw. Vibrationen. Nachteilig ist die niedrige Glastemperatur einiger organischer Trägermaterialien, die bei Hochtemperaturanwendungen durchaus im Betriebstemperaturbereich liegen kann.

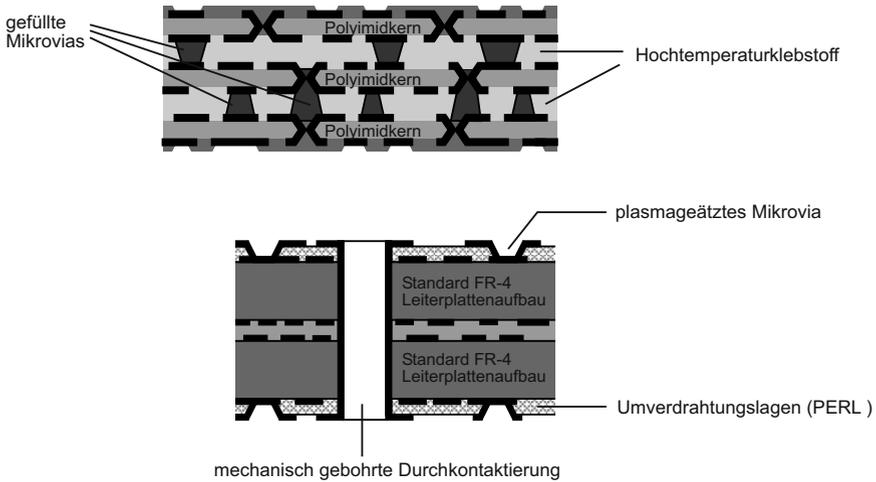
Die Leiterzüge bestehen in der Regel aus Kupfer, welches an seiner Oberfläche zur besseren Kontaktierbarkeit mit einer Beschichtung versehen sein kann. Typische Beschichtungen sind NiAg, Sn und OSP (Polymerbeschichtung). Für den Aufbau starrer organischer Verdrahtungsträger existieren verschiedene Aufbauvarianten. Zu den klassischen Varianten zählen dabei die in Abb. 2.19 dargestellten



**Abb. 2.19** Aufbauvarianten starrer organischer Verdrahtungsträger

Aufbauten der einseitigen Leiterplatte, der doppelseitigen Leiterplatte mit und ohne Durchkontaktierung und der mehrlagigen durchkontaktierten Leiterplatte.

Komplizierter als die Darstellung klassischer Aufbauvarianten von starren organischen Verdrahtungsträgern gestaltet sich die strukturelle Beschreibung moderner hochdichter Verdrahtungsträger, sogenannter HDI-Leiterplatten (HDI = High-Density-Interconnect). Die Notwendigkeit zur Entwicklung hochdichter Verdrahtungsträger ergab sich aus der Anschlusszahlentwicklung und der aus ihr folgenden Einführung von Bauelementen mit flächenhaften Anschlusskontakten. Die hohe Kontaktdichte dieser Bauelemente war mit herkömmlichen Aufbauvarianten von Verdrahtungsträgern nicht mehr zu entflechten. Hinzu kamen erhöhte Anforderungen bezüglich der HF- und EMV-Eigenschaften der Verdrahtungsträger. Schlüsselentwicklungen zur Realisierung solcher hochdichten Träger waren verbesserte Methoden der Locherzeugung, wie Laserbohren, Plasmabohren oder -ätzen und Mikrostanzen, neue Methoden zur Erzeugung additiver strukturierter Dielektrika mit Hilfe photosensitiver Werkstoffe, neue Methoden zur Metallisierung der Vias

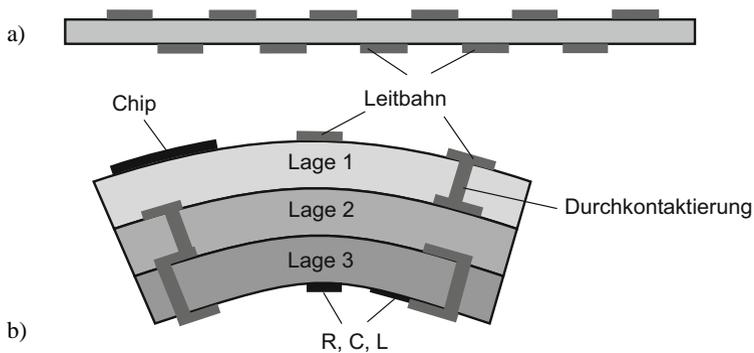


**Abb. 2.20** HDI-Aufbaustrukturen

über leitfähige Polymere oder Viafüllen. Einige Beispiele für Aufbauvarianten von HDI-Leiterplatten sind in Abb. 2.20 gezeigt.

Flexible organische Verdrahtungsträger sind aus Polymerfolien aufgebaut, auf denen sich analog zu starren organischen Verdrahtungsträgern Leiterzüge aus Kupfer mit entsprechenden Oberflächenbeschichtungen befinden. Typische Folienmaterialien sind Polyester und Polyimid. Der Aufbau eines flexiblen organischen Trägers ist in Abb. 2.21 gezeigt.

Organische Materialien besitzen den Nachteil, ihre mechanischen Trägereigenschaften bei hohen Betriebstemperaturen signifikant zu verändern. Aus diesem Grund erweist sich für Anwendungen mit höheren Betriebstemperaturen der Einsatz keramischer Träger als vorteilhaft. Neben der Konstanz der mechanischen Eigenschaften über den gesamten Temperaturbereich kommt bei diesen Trägermaterialien auch die Möglichkeit der Herstellung von Hybridschaltkreisen durch Dickschichttechnik zum Tragen. Dies ermöglicht die integrierte Herstellung aller passiven Bauelemente auf dem Trägermaterial, ohne dass störungsanfällige Löt- oder Klebeverbindungen notwendig sind. Deshalb werden keramische Träger für bestimmte Anwendungen, z. B. zur Realisierung hochstabiler analoger Sensorauswerteelektroniken, trotz ihres höheren Preises bevorzugt. Noch höheren Anforderungen genügen keramische Trägermaterialien, wie bestimmte Gläser oder Silizium. Auf ihnen lassen sich Dünnschichtstrukturen abscheiden, welche z. B. zur Erzeugung von Verdrahtungsstrukturen für Hochfrequenzanwendungen geeignet sind. Die Aufwendungen für solche Dünnschichtverdrahtungen sind jedoch so hoch, dass sie nur als Nischenanwendungen zum Einsatz kommen. Klassische keramische Trägermaterialien für den Bereich der Dickschichttechnik sind Alumi-

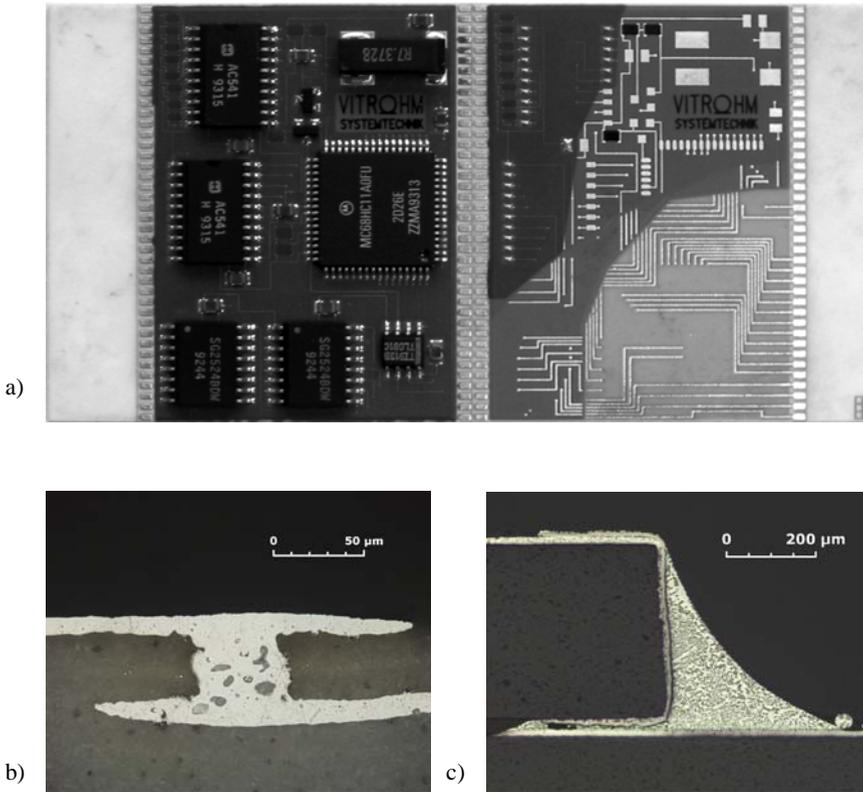


**Abb. 2.21** Aufbaustruktur flexibler organischer Träger: a) klassischer ein- oder zweilagiger Aufbau; b) zukünftiger funktioneller mehrlagiger Aufbau

niunoxid, Berylliumoxid und Aluminiumnitrid. Die Erzeugung von Leitbahnstrukturen und Strukturen für passive Bauelemente erfolgt durch den Druck verschiedener Pasten. In der Regel muss jede Paste dabei einzeln gedruckt, getrocknet und gebrannt werden. Zur Erzeugung komplizierter Verdrahtungen existieren eine Mehrebenen- und eine Mehrlagentechnik. Bei der Mehrebenentechnik werden mehrere Leitebenen erzeugt, welche durch eine Isolationsschicht voneinander getrennt sind. Die Verbindung zwischen den Leitebenen wird durch Leitpastenfüllen der Vias der Isolationsschicht erreicht. Bei der Mehrlagentechnik werden einzelne Leitebenen auf jeweils gesonderten Substraten aus ungesinterter grüner Keramik gedruckt. Anschließend werden diese einzelnen Substrate gestapelt und gemeinsam gebrannt. Die Verbindung zwischen den Leitebenen erfolgt durch Füllung gestanzter Vias der Einzelsubstrate. Der Aufbau keramischer Verdrahtungsträger ist in Abb. 2.22 gezeigt.

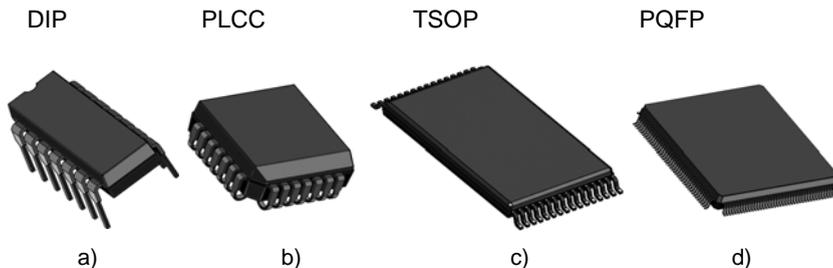
### 2.3.3.3 Bauelementeformen von integrierten Schaltkreisen

Bauelementeformen für integrierte Schaltkreise werden in der Regel nach ihrem äußeren Erscheinungsbild eingeteilt, welches vor allem Informationen über Anschlusszahl, Rastermaß und Anschlussanordnung enthält. Für die Beschreibung des mechanischen Verhaltens dieser Bauelementeformen ist jedoch der innere Aufbau dieser Bauelemente entscheidend, da dieser das thermisch-mechanische Verhalten dieser Bauelemente bestimmt. Bezogen auf dieses Kriterium unterteilen sich Bauelementeformen integrierter Schaltkreise in Trägerstreifenbauelemente und in Bauformen mit Zwischenverdrahtungsträger.



**Abb. 2.22** Aufbaustruktur keramischer Verdrahtungsträger: a) Multilayeraufbau in Mehrschichttechnik, b) Durchkontaktierung durch eine Mehrlagen-LTCC-Keramik, c) Lötstelle (SnAg-Lot auf Ag-Leitbahn) eines aufgesetzten Chipwiderstandes

Trägerstreifenbauelemente sind die klassischen Bauformen mit peripheren Anschlüssen, wie DIP, SOP (TSOP), PLCC und QFP (TQFP). Hierbei wird der Halbleiterchip mit seiner Rückseite auf einen Trägerstreifen montiert und die Chipanschlüsse über Drahtbonden mit den Anschlussbeinen des Trägerstreifens verbunden. Zur Verkapselung werden Trägerstreifen und Halbleiterbauelement mit einer Polymermasse umspritzt. In der Anfangszeit erfolgte die Montage des Halbleiterchips auf dem Trägerstreifen durch eutektisches Au-Si Bonden. Deshalb war es notwendig, den thermischen Ausdehnungskoeffizienten des Trägerstreifens an den des Si-Chips anzupassen, wofür die unter dem Namen Kovar bekannte FeNiCo-Legierung als Trägerstreifenmaterial verwendet wurde. Später erfolgte die Chipmontage über elastische Klebeverbindungen, sodass Kupfer als Trägerstreifen-



**Abb. 2.23** Trägerstreifenbauformen: a) mit geraden Durchsteckstiften (DIP = Dual Inline Package), b) mit nach innen gebogenen J-Leads (PLCC = Plastic Leaded Chip Carrier ), c, d) mit nach außen gebogenen Gull-Wings (TSOP = Thin Small Outline Package, (PQFP = Plastic Quad Flatpak)

fenmaterial eingesetzt werden konnte, welches später zum Teil durch Alloy42 (FeNi-Legierung) ersetzt wurde. Für die Ausformung der Anschlussbeine wurden drei verschiedene Varianten verwendet - gerade Stifte für die Durchsteckmontage und J-Leads sowie Gull-Wings für die Oberflächenmontage. Beispiele für wichtige Aufbauvarianten von Trägerstreifenbauformen sind in Abb. 2.23 gezeigt

Trägerstreifenbauelemente erlauben nur eine periphere Anordnung der Anschlüsse entlang der Kanten des Bauelementes. Dieses führte durch die ständige Erhöhung der Integrationsdichten in Halbleiterbauelementen zu Problemen bei der Beherrschbarkeit der Anschlusszahlen. Eine Methode, die Zahl der Ein- und Ausgänge  $N_p$  auf einem Chip abzuschätzen, welcher eine bestimmte Anzahl Gatter  $N_g$  besitzt, besteht in der folgenden als Rent'sche Regel bekannten Beziehung:

$$N_p = K \cdot N_g^n, \tag{2.1}$$

**Tabelle 2.1** Parameter der Rent'schen Regel [96]

| Baustein             | $n$  | $K$  |
|----------------------|------|------|
| Statischer Speicher  | 0,12 | 6    |
| Mikroprozessor       | 0,45 | 0,82 |
| Gate Array           | 0,50 | 1,9  |
| Hochleistungsrechner |      |      |
| Chip und Modul       | 0,63 | 1,4  |
| Board und System     | 0,25 | 82   |

wobei  $K$  und  $n$  empirische Konstanten sind, welche von der Art der Schaltkreise abhängen und für die Beispiele in Tabelle 2.1 gegeben sind. Dieser 1969 von E. Rent empirisch gefundene Zusammenhang stellt eine wichtige Grundlage für das Verständnis der Entwicklung von Ein- und Ausgangsleitungen bei Logikschaltkreisen dar. Da durch höhere Integration und höhere Taktfrequenzen auch die Verlustleistung der Schaltkreise zunimmt, steigen auch die Anschlusszahlen für die Versorgungsleitungen. Unter der Annahme, dass aus verschiedenen Gründen, wie z. B. der Elektromigrationsfestigkeit, die Lastgrenze pro Anschluss bei 200 mA liegt, ergibt sich folgende Beziehung für die Abschätzung der notwendigen Versorgungsanschlüsse  $N_s$  pro Schaltkreis [97]:

$$N_s = 10 \cdot \frac{P_s[\text{W}]}{V_s[\text{V}]}, \quad (2.2)$$

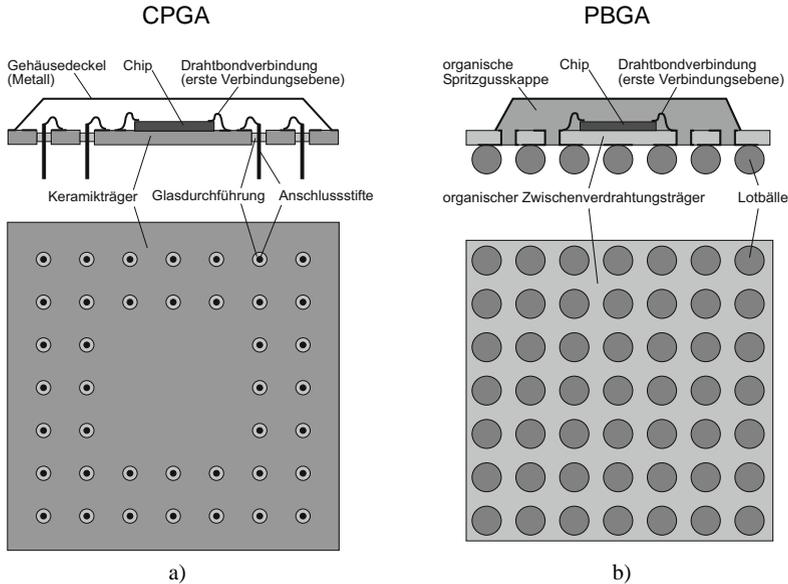
wobei  $P_s$  die Verlustleistung und  $V_s$  die Versorgungsspannung des Schaltkreises sind. Zukünftige Schaltkreise werden daher über die gleiche Anzahl von Versorgungsleitungen und Ein- und Ausgängen verfügen. Durch steigende Leistungsaufnahme und hohe Taktfrequenzen kam zusätzlich die Forderung nach Senkung von Induktivitäten der Anschlussleitungen auf, um das Entstehen starker Störimpulse an den Anschlüssen zu verhindern. Unter Berücksichtigung all dieser Faktoren stellte sich die Frage nach den maximal auf einem Chip platzierbaren Anschlüssen. Diese kann aus sehr einfachen geometrischen Überlegungen beantwortet werden. Für ein quadratisches Bauelement ergibt sich die maximale Anschlusszahl  $M_p$  bei peripherer Kontaktanordnung aus

$$M_p = 4 \left( \frac{X}{p} - 1 \right), \quad (2.3)$$

und die maximale Anschlusszahl  $M_a$  bei matrixförmiger Anordnung aus

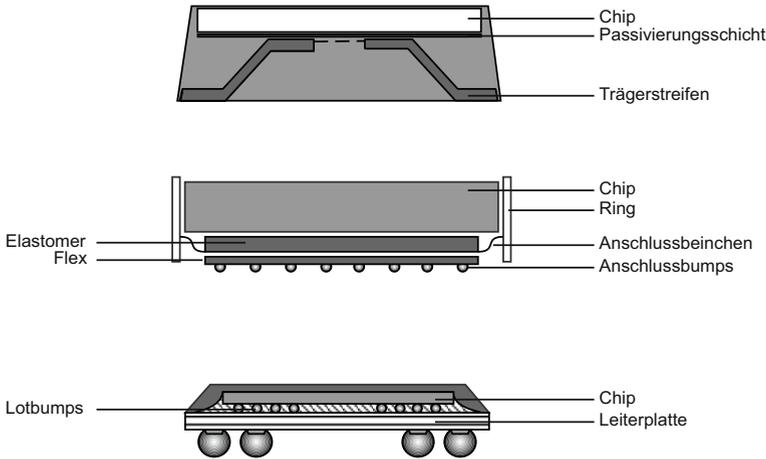
$$M_a = \left( \frac{X}{p} - 1 \right)^2, \quad (2.4)$$

wobei  $X$  einer Kantenlänge des Bauelements und  $p$  dem Kontaktraster entspricht [68]. Aus dem Vergleich der Gleichungen (2.3) und (2.4) geht hervor, dass Bauelementeformen mit matrixförmiger (= flächenhafter) Kontaktanordnung bei größer werdenden Bauelementeabmaßen  $X$  oder bei kleiner werdendem Kontaktraster  $p$  wesentlich mehr Anschlusskontakte zur Verfügung stellen können als Bauelemente mit peripherer Anschlussanordnung (z. B. Trägerstreifenbauelemente).



**Abb. 2.24** Bauformen mit flächenhafter Anschlussmontage: a) keramische Pin-Grid-Array-Gehäusebauform (CPGA), b) organische Ball-Grid-Array-Bauform (PBGA)

Für die Realisierung von Bauelementeformen mit flächenhafter Anschlussanordnung gibt es eine Reihe verschiedener Realisierungsvarianten. Ausgangspunkt für die Entwicklung dieser Gehäusebauformen waren Ceramic-Pin-Grid-Arrays (CPGA), eine Bauform, welche sich aus dem von IBM während der achtziger Jahre entwickelten Multichipmodulen (MCM) abgeleitet hatte. Kernstück dieser Multichipmodule war ein keramischer Zwischenverdrahtungsträger, der eine Dünnschichtmehrebenenverdrahtung enthielt und auf dem auf der einen Seite Si-Chips über Flip-Chip-Technik montiert waren und auf der anderen Seite Pins zur Steckmontage abgingen [98]. Durchsteckkontakte machten jedoch die Vorteile zur Erzielung höherer Integrationsdichten durch Flächenkontaktierung zunichte, da zum einen ihr Rastermaß zunächst auf 2,54 mm begrenzt war und sie zum anderen die Leitungsentflechtung unterhalb des Bauelementes in der Leiterplatte behinderten [85]. Aus diesem Grund versuchte man, die Pins durch Lotkugeln zu ersetzen [99]. Diese Substitution führte zum Ceramic-Ball-Grid-Array (CBGA), einer SMT-kompatiblen Bauelementeform [100, 101]. Zur Erhöhung der Zuverlässigkeit wurde aus dieser Bauform der Ceramic-Column-Grid-Array (CCGA) entwickelt, bei welchem die Lotkugeln durch hochschmelzende (Pb90Sn10) Lotsäulen ersetzt wurden. Durch Verbesserungen bei der Verdrahtungsdichte auf starren organischen Trägern (vgl. 2.3.3.2) sowie die Einführung eines Unterfüllungswerkstoffes für die Flip-Chip-Technik (vgl. 2.3.2.3) konnten keramische durch starre organi-



**Abb. 2.25** CSP-Bauformen mit peripherer und flächenhafter Anschlussmontage (Schnittdarstellungen)

sche Zwischenverdrahtungsträger ersetzt werden. Aus diesen Entwicklungen entstand der Plastic-Ball-Grid-Array (PBGA), in welchem zur Realisierung der Chipverbindungen neben der Flip-Chip-Technik auch die Drahtbondtechnik eingesetzt wurde. Die Weiterentwicklung dieser Bauelementeform führte zum Chip-Scale-Package (CSP) bzw. Fine-Pitch-Ball-Grid-Array (FBGA). Diese Bauformen zeichnen sich dadurch aus, dass die äußeren Abmessungen des gehäuseten Halbleiterbauelementes die des Chips um höchstens 20% überragen. Zur Realisierung solcher Bauformen wurden eine Reihe von Varianten entwickelt, von denen einige in Abb. 2.25 dargestellt sind.

### 2.3.3.4 Formen passiver Bauelemente

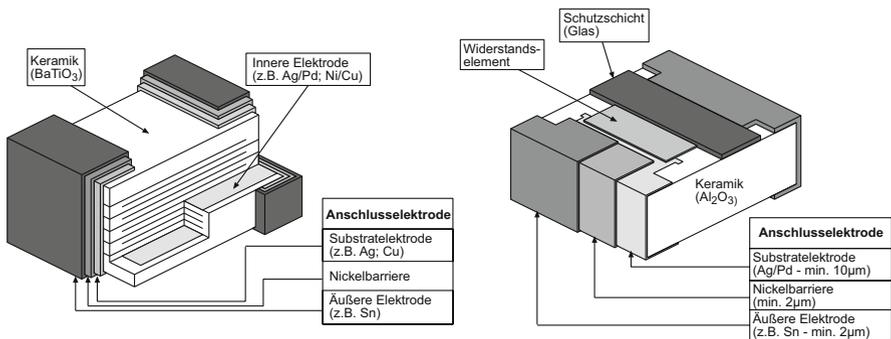
Obwohl passive Bauelemente in der Regel als oberflächenmontierbare Bauelemente verarbeitet werden, ist es aufgrund von Größe und Gewicht einiger passiver Bauelemente, z. B. Elektrolytkondensatoren, Leistungswiderstände, Spulen, notwendig, diese als Einsteckbauformen auszuführen, sodass über den Verdrahtungsträger ein Großteil der mechanischen Stabilisierung übernommen wird. Die Bauformen von Einsteckbauelementen sind aus mechanischer Sicht jedoch zumeist ohne Belang, da der Hauptteil der thermischen Fehldehnungen über die Anschlussstifte abgefangen wird. Bauformen oberflächenmontierbarer passiver Bauelemente sind in der Regel quaderförmig oder zylindrisch. Tabelle 2.2 und Abb. 2.26 enthalten die Abmaße der größeren quaderförmigen Bauformen von

Widerständen und Kondensatoren, welche wegen ihrer relativ hohen absoluten thermischen Fehldehnungen gegenüber organischen Verdrahtungsträgern mechanisch kritisch sind.

**Tabelle 2.2** Abmessungen von Chipwiderständen und Chipkondensatoren [102]

| Bezeichnung | Länge [mm] | Breite [mm] | Höhe [mm] | Kontakttiefe [mm] |
|-------------|------------|-------------|-----------|-------------------|
| R1206       | 3,2        | 1,6         | 0,7       | 0,3               |
| R1210       | 3,2        | 2,5         | 0,7       | 0,3               |
| R2010       | 5,0        | 2,5         | 0,7       | 0,4               |
| R2512       | 6,4        | 3,2         | 0,7       | 0,4               |
| C1206       | 3,2        | 1,6         | 1,4       | 0,3               |
| C1210       | 3,2        | 2,5         | 1,4       | 0,3               |
| C1812       | 4,5        | 3,2         | 1,4       | 0,3               |
| C1825       | 4,5        | 6,4         | 1,4       | 0,3               |

Neben den aufgeführten Keramikkondensatoren existieren auch Tantalkondensatoren als gepolte Kondensatoren mit hohen Kapazitätswerten für Stromversorgungsanwendungen. Diese besitzen jedoch einen anderen Aufbau mit nachgiebigen Anschlussfahnen. Kritisch durch steifen Aufbau sind jedoch zylindrische MELF-Bauformen. Diese besitzen für Widerstände und Kondensatoren einen Durchmesser von 2,2 mm und eine Länge von 5 mm [103].



**Abb. 2.26** Aufbau von SMD-Kondensatoren und SMD-Widerständen

### 2.3.4 Architekturentwicklung

Obwohl sich das Grundprinzip der Architektur elektronischer Aufbauten über Dekaden scheinbar nicht geändert hat, ist die Argumentation, welche hinter diesem Gestaltungsprinzip steht, starken Wandlungen unterzogen. Ausgangspunkt für die Technologie- und Architekturentwicklung in der Aufbau- und Verbindungstechnik der Elektronik war die Aufgabe, sehr komplexe Schaltungsanordnungen mit einer unübersehbaren Anzahl an Bauelementen effektiv und rationell verdrahten zu können. Die komplexesten Schaltungsanordnungen wurden dabei für die Herstellung von Rechenanlagen benötigt. Zur Realisierung von Zentralrecheneinheiten (CPU) mussten einige hunderttausend Einzelschaltungen miteinander verdrahtet werden, welche selbst aus diskreten bzw. niedrigintegrierten Schaltkreisen aufgebaut waren [104]. Die Erhöhung des Integrationsgrades bei den integrierten Schaltkreisen vereinfachte die Verdrahtungsaufgabe erheblich und verringerte die Anzahl der Verbindungsebenen. Gleichzeitig vergrößerten sich aber auch die Integrationsdichte auf dem Verdrahtungsträger und auch die Anschlusszahlen der integrierten Schaltkreise. Die ursprüngliche Verdrahtungsaufgabe, welche zum größten Teil durch die Mehrebenenmetallisierung auf dem Halbleiterchip übernommen wurde, wandelte sich in eine Integrationsaufgabe [65]. Auf der zweiten Verbindungsebene wurde die Einstecktechnik durch die Oberflächenmontagetechnik abgelöst. Hierdurch wurde eine Erhöhung der Verdrahtungsdichte durch Verkleinerung von Leitbahnabmessung, Einführung neuer Bauelementeformen mit engerem Raster sowie kleineren lateralen Abmessungen und eine Erhöhung von Lagenanzahlen des Verdrahtungsträgers möglich. Gleichzeitig entwickelte sich für den anschlusszahlintensiven Logikbereich das Multichipmodul [85, 104]. Der für die Multichipmodule eingesetzte Zwischenverdrahtungsträger stellte innerhalb des Architekturprinzipes eine weitere Verdrahtungsebene dar, welche in ihrer Verdrahtungsdichte zwischen der Mehrebenenmetallisierung auf dem Chip und der Leiterplatte lag. Zunächst wurde der Vorteil dieses Zwischenverdrahtungsträgers nur in der Erhöhung der Integrationsdichte gesehen [98], bei den Nachfolgetypen der ersten Multichipmodule wurden durch den Einsatz neuer Dielektrika sowie durch spezielle Anordnungen entscheidende Fortschritte bei Signallaufzeiten und Wärmeabführung erreicht [105-107]. Obwohl die Anwendung von Multichipmodulen aufgrund der mit dem keramischen Träger verbundenen hohen Kosten auf den Bereich von Hochleistungsrechnern beschränkt blieb [85, 108], begünstigte die mit ihnen verbundene Technologieentwicklung bei den mehrlagigen Zwischenverdrahtungsträgern die Entwicklung neuer Bauformen für Halbleiterbauelemente, wie den Ball-Grid-Arrays [101], welche durch ihre flächenhafte Anschlusskontaktierung den inzwischen gewachsenen Anschlusszahlen gerecht wurden. Die Kosten für diese zunächst auf keramischen Trägern (CBGA) realisierten Bauformen [99] konnten später durch den Einsatz organischer Zwischenverdrahtungsträger [109, 110] deutlich gesenkt werden. Trotz aller weiteren Innovationen im Bereich Gehäusebauformen, wie z. B. der Einführung von Chip-Scale- und Wafer-Level-Bauformen, gelang es nicht, die Kosten pro Anschluss im glei-

chen Maße zu senken, in welchem die Anschlusszahlen von Halbleiterbauelementen stiegen [111]. Hält diese Entwicklung an, so kommt es zu einer signifikanten Erhöhung der relativen Kosten für die Einzelhäusung von Halbleiterbauelementen, sodass die Kosteneinsparungen, welche auf Halbleiterebene bei Einführung eines neuen Technologieniveaus entstehen, sich nicht im gleichen Maße auf den Preis des gehäuseten Bauelementes niederschlagen. Gleichzeitig ergibt sich durch die Steigerung der Integrationsdichte und der mit ihr verbundenen Anschlusszahlerhöhung bei einigen Typen von Schaltkreisen das Problem, dass der Platzbedarf, welcher zur Anordnung der Anschlussflächen auf dem Chip notwendig ist, den der integrierten Schaltung übersteigt [108], was zu einer uneffizienten und ökonomisch nicht vertretbaren Nutzung der zu prozessierenden Siliziumfläche führen würde. Beide Probleme stellen den Ausgangspunkt für das System-on-Chip-Konzept (SoC) dar, welches die Systemintegration verschiedener, bisher einzeln gehäuseter Schaltungsteile, wie Logik, Speicher, Analog- oder HF-Schaltungen, auf einem Chip zum Ziel hat. Dabei wird davon ausgegangen, dass die zusätzlichen Kosten, welche durch die geringeren Prozessausbeuten bei der Halbleiterfertigung zustande kommen, durch die Einsparungen bei der Bauelementehäusung mehr als kompensiert werden [108]. Auf lange Sicht sieht das System-on-Chip-Konzept die Integration aller Komponenten, also auch optoelektronischer Komponenten, Sensoren und MEMS-Komponenten, auf einem Chip vor. Der Aufgabenbereich der Aufbau- und Verbindungstechnik würde sich dann auf die Montage eines „System-Chips“ und einiger wegen ihrer Größe nicht integrierbarer passiver Bauelemente beschränken [112].

**Tabelle 2.3** Dielektrische Eigenschaften von Isolations- und Substratmaterialien [113]

| Material                             | $\epsilon_r$ | $\tan \delta$ | $\alpha$<br>[ $10^{-6}/K$ ] |
|--------------------------------------|--------------|---------------|-----------------------------|
| PTFE (60 GHz)                        | 2,1          | 0,0001        | 100-120                     |
| PTFE mit Glasflies (10 GHz)          | 2,2          | 0,0009        | 12-16                       |
| FR-4                                 | 4,2-4,5      | 0,025         | 12-16                       |
| Getek                                | 3,6-4,2      | 0,010-0,015   | 12-16                       |
| Al <sub>2</sub> O <sub>3</sub> (96%) | 9            | 0,0006        | 7                           |
| AlN                                  | 8-10         | 0,0007-0,002  | 4,5                         |
| SiC                                  | 40           | 0,05          | 3,7                         |

Aufgrund der zunehmenden Bedeutung von drahtloser Kommunikation zwischen elektronischen Geräten wird die System-on-Chip-Vision jedoch angezwei-

felt, da Si, so wie es heute in Standard-CMOS-Prozessen verwendet wird, kein guter Substratwerkstoff zur Realisierung der für HF-Schaltungsteile notwendigen Spulen, Kondensatoren und Filter ist. Die hervorragenden dielektrischen Eigenschaften keramischer und organischer Materialien (Tabelle 2.3) sind Ausgangspunkt für das System-on-Package-Konzept (SoP), welches der vom SoC-Konzept getragenen Idee eines „System-Chips“ die eines „System-Boards“ entgegensetzt. Das System-Board löst den klassischen Verdrahtungsträger der zweiten Verbindungsebene ab und ist durch einen sehr komplizierten Schichtaufbau gekennzeichnet. In den aus vielen unterschiedlichen Werkstoffen bestehenden Schichten sollen die verschiedenen passiven Komponenten, Antennen, Filter, aber auch Lichtleiter sowie Leitbahnen und Vias, für die Verdrahtung erzeugt werden, sodass auf dem System-Board nur noch die hochdichte Montage von Halbleiterbauelementen erfolgt. Das Konzept des System-Boards ist kein vollständiges Gegenkonzept zum System-Chip, jedoch verneint es die vollkommene Systemintegration schwierig miteinander prozessierbarer Systemkomponenten auf einem Chip [114]. Für die Durchsetzung des SoC-Konzepts gibt es jedoch selbst bei unaufwendig miteinander auf einem Halbleiterchip integrierbaren Schaltungsteilen bestimmte Grenzen, da bei der Verkleinerung von Strukturen auf dem Halbleiterchip auch die Höhe und Breite der Leitbahnen herunterskaliert wird. Dies führt wiederum zu einer Erhöhung des RC-Produktes, einer Verbindung zwischen zwei Schaltelementen, und damit zur Erhöhung der Signallaufzeit. Da sich bei bestimmten Schaltkreisen, z. B. Mikroprozessoren, die Chipflächen erhöhen, begrenzen die auf ihnen befindlichen langen Leitbahnen die maximal erreichbare Taktfrequenz. Für dieses als Long-Lossy-Lines ( $L^3$ )-Effekt bekannte Problem wurde in [115] errechnet, dass für eine Strukturbreite von  $0,5 \mu\text{m}$  eine außerhalb des Chips durch einen Zwischenverdrahtungsträger gezogene Leitung ab einer Länge von etwa  $L = 10 \text{ mm}$  eine geringere Signalverzögerung auftritt als in einer auf dem Chip verlegten Leitung. Daher ist eine Zerteilung großer Chips in einzelne Funktionseinheiten, welche über eine Mehrlagendünnschichtverdrahtung auf einem Keramikträger untereinander verdrahtet werden, von Vorteil. In [115] wird gezeigt, dass diese als Few-Chips-Module (FCM) bezeichnete Lösung bei kostenintensiven Schaltkreisen ( $> 1000 \$$ ) gegenüber einer in einer BGA-Bauform gehäuseten Einzelchiplösung keine Kostennachteile besitzt.

Für kostengünstige Schaltkreise, welche aufgrund niedrigerer Anschlusszahlen keiner hochdichten Verdrahtung auf einem Zwischenträger bedürfen, hat sich unter der Bezeichnung System-in-Package (SiP) eine Aufbauvariante entwickelt, die entweder gleichartige Schaltkreise (z.B. DRAMs) oder verschiedenartige Schaltkreise (z. B. Prozessor, DRAM, Flash-Speicher) oder Schaltkreise mit diskreten aktiven und passiven Komponenten auf einem Zwischenverdrahtungsträger integriert. Als Zwischenverdrahtungsträger kommen dabei in der Regel die bereits für die BGA- und CSP-Bauformen entwickelten Träger zum Einsatz, sodass SiP-Gehäuse von außen denen der BGAs und CSPs gleichen. Im Unterschied zum klassischen MCM werden die Chips im SiP nicht mehr lateral, sondern horizontal über eine Reihe verschiedener Stapeltechniken angeordnet. Durch die Verwendung abgedünnter

Einzelchips in Stapeln gelingt es, die Bauhöhen traditioneller Halbleiterbauformen nicht zu überschreiten. Typische Beispiele für SiPs sind spannungsgesteuerte Höchstfrequenzoszillatoren (UHVVCO) oder Synthesiser, wie sie in Mobiltelefonen eingesetzt werden, welche auf einem Si/Polymer-Stapelzwischenverdrahtungsträger aufgebaut sind, ein Metallkappengehäuse besitzen und sich wie ein CSP verarbeiten lassen [116]. Auch im Bereich der Speicherschaltkreise hat sich das SiP-Konzept durchgesetzt, da es hierdurch gelingt, die Kapazität eines gehäuseten Speicherbausteins um das Vierfache zu steigern. Das SiP-Konzept begrenzt das SoC-Konzept von der Seite kostengünstiger Schaltkreise mit niedrigen Anschlusszahlen, da es einfachere und damit schnellere Design-Verifikationen erlaubt, woraus sich wesentlich kürzere Entwicklungszeiten und schnellere Produktzyklen ergeben [114]. Neben diesem Time-to-Market-Aspekt besitzt SiP gegenüber den SoC-, SoP- und FCM-Konzepten den technischen Vorteil der vertikalen Integration, wodurch die lateralen Abmessungen eines SiP-Aufbaus unabhängig von der Anzahl der integrierten Bauelemente etwa auf der eines Einzelchips gehalten werden.

Die verschiedenen Konzepte, welche aus heutiger Sicht die Entwicklung des Aufbaus elektronischer Geräte wesentlich bestimmen werden, haben sehr unterschiedliche Auswirkungen auf die Architekturentwicklung. Das SoC-Konzept wirkt konservierend, da es die Anschlusszahlentwicklung einfriert und damit die Entwicklung neuer Aufbauvarianten weitestgehend überflüssig macht. Die FCM-, SiP- und SoP-Konzepte führen zu sehr grundsätzlichen Änderungen, da sie die Anordnung und die Funktion der einzelnen Verbindungsebenen verändern. Beim FCM-Konzept sind diese Änderungen am geringsten. Zwar wird ein Teil der Integrationsaufgabe von der Mehrebenenmetallisierung auf dem Chip an den Zwischenverdrahtungsträger des Bauelementegehäuses übergeben, jedoch würde auch ein nicht zerteilter Chip im Gehäuse über einen Zwischenverdrahtungsträger verfügen. Komplizierter gestaltet sich die Bewertung der Aufgaben des Zwischenverdrahtungsträgers beim SiP-Konzept, da dieses von einfachen Verdrahtungsaufgaben bei Speicherchipstapeln bis hin zur Realisierung von Subsystemen, wie z. B. den UHVVCOs, reicht. Im letzteren Fall kommt es zu einer Veränderung gegenüber den traditionellen Aufgaben der ersten Verbindungsebene. Ähnlich muss das System-Board des SoP-Konzeptes bewertet werden, da es im Vergleich zu einem traditionellen Verdrahtungsträger der zweiten Verbindungsebene neben seinen Verdrahtungsaufgaben auch funktionelle Elemente bereitstellt.

Trotz dieser erheblichen Veränderungen bezüglich der Funktions- und Aufgabenverteilung ist zu erwarten, dass die Architektur elektronischer Aufbauten - bezogen auf ihre topologische und mechanische Struktur - sich nicht wesentlich ändert. Diese ist dadurch gekennzeichnet, dass ein flacher Träger existiert, auf dem Halbleiterbauelemente entweder direkt oder über Zwischenträgerstrukturen montiert sind. Dabei ist nicht zu erwarten, dass sich die in 2.3.2 und 2.3.3 beschriebenen Verfahren und Anordnungen grundlegend ändern.

### 2.3.5 Strukturabmessungen in elektronischen Aufbauten

Neben den bisher dargestellten funktionellen und architektonischen Aspekten zeichnet sich die Aufbau- und Verbindungstechnik auch durch charakteristische Strukturabmessungen aus, welche aus einem technisch-ökonomischen Kompromiss zwischen informationstechnischen Anforderungen auf der einen und technologischen Möglichkeiten auf der anderen Seite resultieren. Dabei ergibt sich aus den informationstechnischen Bestrebungen nach einer hochauflösenden Gewinnung, schnellen Übertragung und Verarbeitung sowie massenhaften Speicherung von informationstragenden Signalen die Forderung nach einer immer größeren Anzahl von Verbindungen auf immer kleinerem Raum. Demgegenüber ergeben sich durch die technologische Realisierbarkeit grundsätzliche Einschränkungen bei der Verkleinerung von Strukturabmessungen. Je kleiner die zu erzeugenden Strukturen werden sollen, um so höher werden auch die Kosten der notwendigen Herstellungstechnologie, wobei zwischen Kosten und minimaler Strukturbreite oft ein exponentieller Zusammenhang besteht. Die sich aus diesem Kompromiss ergebenden charakteristischen Strukturbreiten sind von der Art der Struktur bzw. der Verbindungstechnologie abhängig. Im Folgenden werden die Strukturbreiten der wichtigsten metallischen Strukturelemente deshalb in bestimmten Gruppen dargestellt.

Die erste Gruppe bilden die Strukturbreiten in der ersten Verbindungsebene. Die Tatsache, dass die Erhöhungen der Integrationsdichte zwangsweise auch zu einer Erhöhung der Anschlusszahlen führt (vgl. Rent'sche Regel, 2.3.3.3), zieht auch relativ schnelle Änderungen der Strukturabmessungen für die erste Verbindungsebene nach sich, deren Prognosen in Tabelle 2.4 dargestellt sind.

**Tabelle 2.4** Prognose der minimalen Strukturabmessungen (Rastermaße) der ersten Verbindungsebene [117, 118]

| Chipseitiges Anschlussraster [ $\mu\text{m}$ ] für entsprechendes Verbindungsverfahren | 2005 | 2007 | 2010 | 2013 | 2020 |
|--|------|------|------|------|------|
| Drahtbonden Ball/Wedge   | 35   | 30   | 25   | 20   | 20   |
| Drahtbonden Wedge/Wedge  | 30   | 25   | 20   | 20   | 20   |
| TAB  | 35   | 30   | 20   | 20   | 20   |
| Flip-Chip (flächenhaft)  | 150  | 120  | 90   | 90   | 70   |
| Flip-Chip (peripher)   | 60   | 30   | 20   | 20   | 20   |

Während diese Anschlussraster für den Bereich der Drahtbondtechnik außer der Verringerung der Drahtdurchmesser keine grundsätzlichen Änderungen nach sich ziehen, sind für den Bereich der Flip-Chip-Technik Änderungen jenseits des Proportionenschrumpfens zu erwarten. Bei Rastermaßen von  $20 \mu\text{m}$  kann durch das

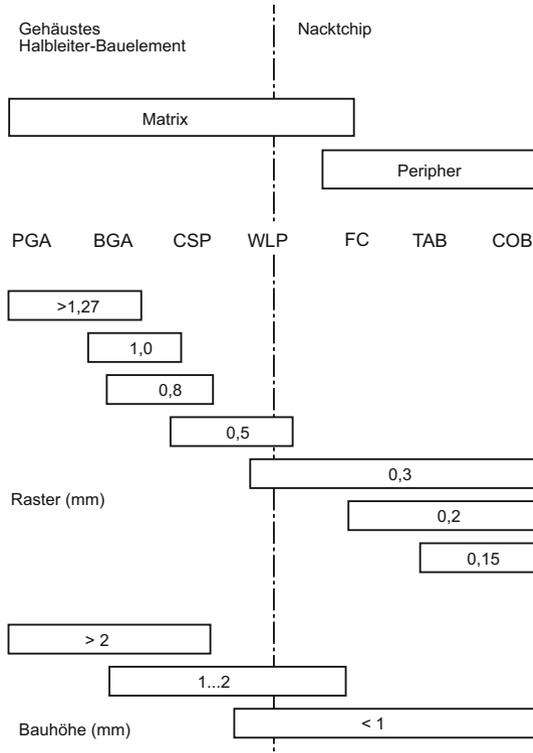
starke Phasenwachstum nicht mehr von der Ausbildung eines klassischen Lotkontaktes ausgegangen werden. Dementsprechend werden sich auch Änderungen in materialtechnischen Aspekten ergeben, unter denen die Verwendung von Cu-Säulen bzw. Federelementen [119] aus heutiger Sicht am wahrscheinlichsten erscheint.

Die zweite Gruppe bilden die Strukturbreiten in der zweiten Verbindungsebene. Diese werden sehr stark von den auf einer Leiterplatte erreichbaren Strukturbreiten bestimmt. Mit der Erhöhung der Anschlusszahlen werden zunehmend auch hochdichte Träger zum Einsatz kommen, da dann die veränderten Kosten pro Anschluss den Einsatz solcher teureren Verdrahtungsträger rechtfertigen. Dadurch werden auch im Bereich Leiterplatte Rastermaße unterhalb der heute üblichen 300  $\mu\text{m}$  möglich. Die Prognosen für die Entwicklung der Rastermaße im Bereich der zweiten Verbindungsebene sind in Tabelle 2.5 dargestellt. Aufgrund der sehr unterschiedlichen Anwendungen mit ihren verschiedenen Anforderungen an Kosten und Leistungsfähigkeit der Bauelemente ist eine weite Spanne für die minimal zu realisierenden Rastermaße bis zum Jahr 2020 vorauszusehen. Diese wird etwa von 150  $\mu\text{m}$  für CSP/FBGA Bauelemente bis zu den heute bereits üblichen 500  $\mu\text{m}$  für BGA-Bauelemente reichen. Für passive Bauelementebaupformen wird eine Verkleinerung bis auf Abmessungen von 400  $\mu\text{m}$  X 200  $\mu\text{m}$  vorausgesagt. Für Leitbahnen auf Verdrahtungsträgern sind Dicken bis < 10  $\mu\text{m}$  und Breiten zwischen 3 ... 5  $\mu\text{m}$  zu erwarten [120].

**Tabelle 2.5** Prognose der minimalen Strukturabmessungen (Rastermaße) der zweiten Verbindungsebene [117, 118]

| Substratseitiges Anschlussraster [ $\mu\text{m}$ ]<br>für entsprechende Bauformen | 2005 | 2007 | 2010 | 2013 | 2020 |
|---|------|------|------|------|------|
| CSP (flächenhaft)   | 300  | 200  | 200  | 150  | 150  |
| BGA   | 800  | 650  | 500  | 500  | 500  |
| FBGA  | 400  | 300  | 150  | 150  | 150  |
| FLGA  | 400  | 300  | 300  | 300  | 300  |
| QFP/QFN   | 400  | 400  | 300  | 300  | 200  |

Für die relevanten zu untersuchenden metallischen Strukturen ergeben sich zum einen kompakte Körper (wie z. B. bei Lotkontakten), d. h. Kugeln oder Würfel, und zum anderen langgezogene linienförmige Körper (wie z. B. Drähte, Leitbahnen), d. h. Zylinder oder Quader. Die Abmessungen der kompakten Körper überspannen dabei einen Bereich von 0.02 mm ... 1 mm (bezogen auf die Kantenlänge eines Würfels oder den Durchmesser einer Kugel). Die Abmessungen der langgestreckten linienförmigen Körper reichen von 0.01 mm ... 0.5 mm (bezogen auf die



**Abb. 2.27** Momentane Rastermaße und Bauhöhen von Bauelementen in der AVT

Diagonale eines rechteckigen Querschnitts bzw. auf den Durchmesser eines runden Querschnitts). Die maximalen Strukturabmessungen werden durch die Raster der heute existierenden Bauelemente beschrieben, welche in Abb. 2.27 schematisch dargestellt sind.

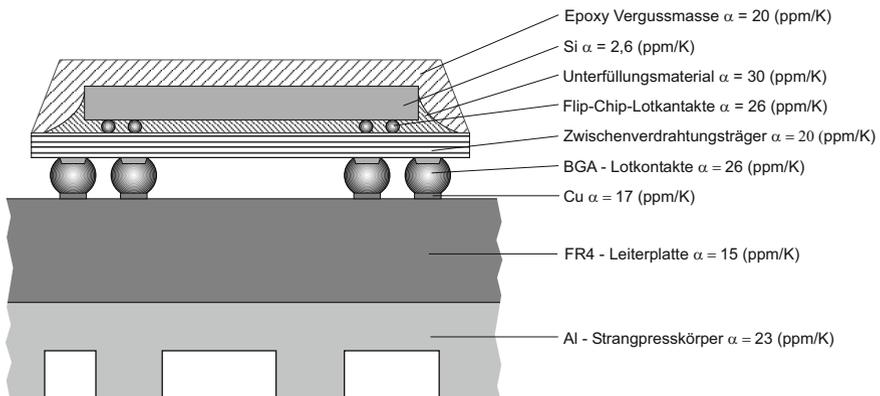
## 2.4 Thermisch-mechanische Problematik elektronischer Aufbauten

### 2.4.1 Ursachenherkunft

Aus einer prinzipiellen Analyse der Architekturkonzepte unter dem Gesichtspunkt der thermisch-mechanischen Integrität, d. h. der Robustheit eines Aufbaus gegenüber thermischen, mechanischen bzw. gekoppelten thermisch-mechanischen

Belastungen, werden sehr schnell die grundsätzlichen Schwachpunkte elektronischer Aufbauten deutlich. Betrachtet man eine spezifische Bauform eines Halbleiterbauelementes, wie den in Abb. 2.28 schematisch dargestellten BGA, so zeigt sich ein thermisch-mechanisch sehr problematischer, aus verschiedenen Materialien bestehender Schichtaufbau. Kritisch sind dabei vor allem die großen Differenzen im thermischen Ausdehnungskoeffizienten, die zwischen den einzelnen miteinander verbundenen Schichten bestehen. Temperaturänderungen bauen in einem solchen Schichtaufbau mechanische Spannungen auf, da sich die einzelnen Schichten nicht frei dehnen können. Hierdurch kommt es zu Verformungen im gesamten Aufbau, welche auf lange Sicht zum Versagen einzelner Strukturen führen. Andere äußere Belastungen, wie z. B. mechanische Schwingungen, führen zu starken Verformungen der gegenüber dem Bauelement verhältnismäßig kleinen BGA-Kontakte, was langfristig ebenfalls zu einem Versagen dieser Kontakte führt.

Allgemein hat die unzureichende Robustheit elektronischer Aufbauten gegenüber bestimmten thermisch-mechanischen Belastungen multilaterale Ursachen. Diese komplexe Fehlerursachenherkunft führt zu einer sehr schweren Überschaubarkeit der Problematik mit der Konsequenz, dass es keine einfachen Entwurfsrichtlinien gibt, welche die Konzeption zuverlässiger und grundsätzlich robuster Aufbauten zulässt. Um die thermisch-mechanische Problematik elektronischer Aufbauten verstehen zu können, müssen neben den grundlegenden physikalischen Ursachen des Ausfalls auch die konzeptionellen Kompromisse eines elektronischen Aufbaus, die entwicklungshistorisch gewachsenen Besonderheiten der Aufbauprinzipien sowie bestimmte werkstoffphysikalische Mechanismen betrachtet werden.



**Abb. 2.28** Struktur eines BGA-Bauelementes auf einem Verdrahtungsträger mit Kühlstrukturen unter thermisch-mechanischen Gesichtspunkten

### 2.4.2 Grundlegende physikalische Ursachen

Unter rein physikalischem Gesichtspunkt resultiert aus der Funktionsvielfalt, die die verschiedenen Strukturen eines Aufbaus zur Realisierung einer elektronischen Schaltung aufweisen müssen, ein grundsätzliches architektonisches Problem bei der Anpassung der thermischen Ausdehnung. Die drei Hauptfunktionen - das Führen (bzw. Leiten), das Isolieren und das gezielte Steuern des elektrischen Stromflusses - können aus werkstoffstrukturellen Gründen nur durch Materialien aus unterschiedlichen Stoffklassen erfolgen.

Zur Realisierung von elektrischen Leitungen und Widerständen werden metallische Werkstoffe eingesetzt. Die wichtigsten Vertreter sind dabei Cu, Al für Leitbahnen sowie bestimmte Legierungen, z.B. CrNi, für ohmsche Widerstände. Diese Auswahl liegt im Kristallaufbau von Metallen begründet, welches durch das Prinzip der höchsten Packungsdichte (vgl. 3.2.2.2) bestimmt wird. Hierdurch entsteht eine hohe Wechselwirkung zwischen den elektrostatischen Feldern der einzelnen Atome. Dies hat eine Aufspaltung der diskreten Energieniveaus in Energiebänder zur Folge, von denen die höheren Bänder nicht mehr durch Potenzialwälle voneinander getrennt sind. Elektronen, die sich in diesen Bändern aufhalten, sind nicht mehr an ein bestimmtes Atom gebunden. Entscheidend für die Leitfähigkeit des Festkörpers ist das oberste Band, welches im unangeregten Zustand noch Elektronen enthält. Beim metallischen Bindungstyp (vgl. 3.2.2.1) ist die obere Elektronenschale der Atome im Kristallgitter nicht vollständig gefüllt, wodurch diese auch durch Elektronen der Nachbaratome besetzt werden kann. Aufgrund dieser Tatsache kann es durch die Wirkung eines elektrischen Feldes (also Energiezufuhr) zu einer gerichteten Elektronenbewegung kommen [121]. Daher eignen sich Metalle zur Realisierung von Leitungsstrukturen bzw. Widerständen.

Keramische Werkstoffe besitzen zwar wie die Metalle einen kristallinen Aufbau. Durch den in ihnen vorherrschenden kovalenten und ionischen Bindungstyp ist jedoch das oberste Band (Valenzband) vollständig mit Elektronen gefüllt. In einem voll besetzten Band existieren keine freien Energierterme, wodurch die Elektronen in diesem Band auch keine durch ein äußeres elektrisches Feld eingebrachte Energie aufnehmen können. Daher kann es in keramischen Werkstoffen zu keiner gerichteten Elektronenbewegung kommen. Die Isolationswirkung eines keramischen Festkörpers hängt vom Abstand des Valenzbandes zum nächst höheren unbesetzten Band (Leistungsband) ab. Keramische Werkstoffe, bei denen dieser Abstand groß ist (etwa 5 bis 10 eV), eignen sich zur Realisierung von Isolationsstrukturen. Die wichtigsten Vertreter der keramischen Isolationswerkstoffe sind  $\text{Al}_2\text{O}_3$  und  $\text{AlN}$ . Ist der Bandabstand hingegen sehr klein (etwa 0,5 bis 1 eV), entstehen Materialien mit sogenannten halbleitenden Eigenschaften [121], welche zum Steuern des Stromflusses genutzt werden können, wie z. B. Si und Ge.

Wegen des höheren Preises sowie der technologisch aufwendigeren Bearbeitung keramischer Werkstoffe werden zur Realisierung von Isolations- und Trägerstrukturen in elektronischen Aufbauten bevorzugt polymere Werkstoffe eingesetzt. Im Gegensatz zu Metallen und Keramiken weisen Polymere keine kristallinen,

sondern kettenförmige Strukturen auf. Bei thermohärtenden Polymeren und Elastomeren sind die Ketten in dreidimensionalen Netzwerken untereinander verbunden. In Thermoplasten werden die einzelnen Ketten hingegen durch Nebervalenzbindungen zusammengehalten. Eine gerichtete Bewegung von Elektronen ist nur entlang der Ketten möglich. Diese kann jedoch durch die kovalenten und ionischen Bindungen der Atome entlang der Kette im Allgemeinen nicht stattfinden, wodurch sich polymere Werkstoffe ausschließlich zur Realisierung von Isolationsstrukturen eignen. In Ausnahmefällen, wie z. B. in Kohlenstoffnanoröhrchen [122], PTCDA-Filmen [123] und dotierten Polythiophenschichten [124], können durch Ausnutzung bestimmter quantenmechanischer Mechanismen bzw. Einbau von Ionen auch halbleitende und leitende Strukturen gebildet werden. Grundlegend dienen Polymere jedoch der Isolation, der Verkapselung sowie der mechanischen Trägerfunktion.

**Tabelle 2.6** Physikalische Eigenschaften ausgewählter Materialien aus [125-130]

| Werkstoff bei 300 K            | spez. elektr. Widerstand $\rho$ ( $\Omega$ m) | Elastizitätsmodul E (GPa) | therm. Ausdehnkoeff. $\alpha$ (ppm/K) | Poisson-Zahl $\nu$ |
|--------------------------------|---|---------------------------|---------------------------------------|--------------------|
| Cu                             | $1,78 \cdot 10^{-8}$                          | 119                       | 17                                    | 0,35               |
| Au                             | $2,20 \cdot 10^{-8}$                          | 79                        | 14,3                                  | 0,42               |
| Al                             | $2,87 \cdot 10^{-8}$                          | 71                        | 23,8                                  | 0,34               |
| Sn63Pb37                       | $1,45 \cdot 10^{-7}$                          | 29                        | 26                                    | 0,36               |
| Si                             | $6,40 \cdot 10^2$                             | 148                       | 2,5                                   | 0,18               |
| Al <sub>2</sub> O <sub>3</sub> | $> 10^{12}$                                   | 386                       | 6                                     | 0,28               |
| FR-4 (x,y - Richtung)          | $> 10^{10}$                                   | 18                        | 16                                    | 0,10               |
| Polyimid                       | $> 10^{16}$                                   | 4                         | 20                                    | 0,3                |

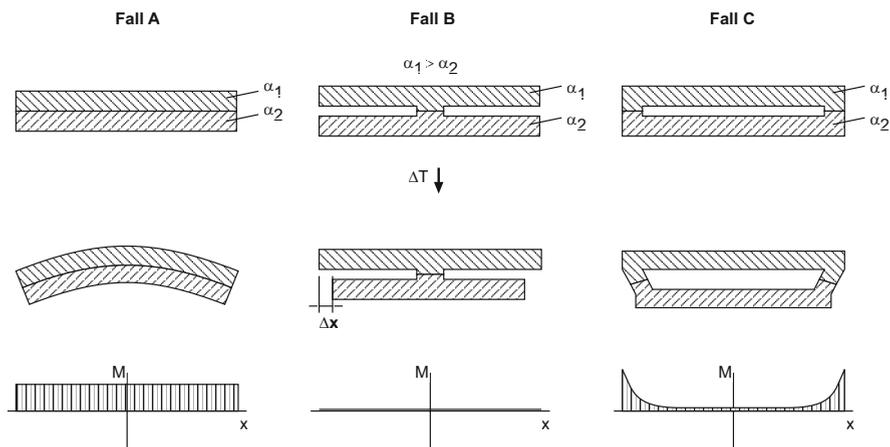
Neben der elektrischen Funktionalität beeinflusst der Bindungstyp und die daraus resultierende Gitter- bzw. Kettenstruktur jedoch auch andere fundamentale Werkstoffeigenschaften, wie z. B. den thermischen Ausdehnungskoeffizienten, die thermische Leitfähigkeit oder den Elastizitätsmodul. Werden Vertreter der entsprechenden Materialklassen miteinander verglichen, so lässt sich erkennen, dass beispielsweise viele keramische Werkstoffe einen sehr geringen, metallische Werkstoffe einen mittleren und polymere Werkstoffe einen sehr hohen thermischen

Ausdehnungskoeffizienten besitzen. Das Verhältnis der Elastizitätsmoduli ist etwa umgekehrt. Zwar lässt sich durch Legieren der Ausdehnungskoeffizient metallischer Werkstoffe in bestimmten Grenzen ändern. Allerdings hat dies gleichzeitig Auswirkungen auf den spezifischen elektrischen Widerstand. Für die Werkstoffauswahl zur Realisierung elektronischer Aufbauten ergeben sich in der Regel nur Materialgruppierungen, bei welchen bestimmte grundsätzliche Eigenschaften, wie spezifischer elektrischer Widerstand, thermischer Ausdehnungskoeffizient und E-Modul, in bestimmten Verhältnissen vorkommen. Aus dieser aus der Werkstoffstruktur resultierenden Verknüpfung physikalischer Werkstoffeigenschaften ergibt sich ein wichtiger Aspekt der thermisch-mechanischen Problematik elektronischer Aufbauten. Die schaltungsfunktionsbedingte Verwendung von Werkstoffen mit stark unterschiedlichen elektrischen Eigenschaften verhindert einen körperlichen Aufbau elektronischer Schaltungen mit aneinander angepassten thermisch-mechanischen Eigenschaften - insbesondere mit aneinander angepassten thermischen Ausdehnungskoeffizienten (engl. CTE-matching) und Elastizitätsmoduli. Hierdurch entsteht für die Architektur elektronischer Aufbauten das prinzipbedingte Problem der thermisch-mechanischen Fehlanpassung (engl. thermo-mechanical mismatch).

### 2.4.3 Aspekte der Architektur- und Entwicklungskonzeption

Das Ausmaß, in dem durch nicht angepasste thermische Ausdehnungskoeffizienten Verspannungen in einem Materialverbund auftreten, hängt neben der Differenz der Ausdehnungskoeffizienten auch von der Topologie des Aufbaus ab. Dieser Zusammenhang ist in Abb. 2.29 illustriert. Sind zwei Materialien mit unterschiedlichen thermischen Ausdehnungskoeffizienten ganzflächig miteinander verbunden und es findet eine Temperaturänderung um den Betrag  $\Delta T$  statt, so kommt es zu einer Verwölbung des Verbunds. Das entstehende Biegemoment entlang der Verbindungsfläche hat dabei einen konstanten Wert. Sind die beiden nur in der Mitte verbunden und können sich frei dehnen, kommt es weder zu Verformungen noch zum Auftreten von Verspannungen im Verbund. Werden die beiden Materialien hingegen nur an den Endpunkten miteinander verbunden, so kommt es an diesen Punkten zum Auftreten sehr hoher lokaler Biegemomente, die den Betrag des Biegemoments im Fall des ganzflächigen Verbundes weit übersteigen. Mit den hohen lokalen Biegemomenten sind auch hohe lokale Verformungen verbunden, die in Abhängigkeit von der Steifigkeit (E-Modul) der beteiligten Materialien auch zu einer leichten Verwölbung des Gesamtverbundes, jedoch vor allem zu mit einer starken Schädigung verbundenen hohen Deformationen im Bereich der Verbindungen führen.

Wird die Entwicklung elektronischer Aufbauten betrachtet, so ist festzustellen, dass die Topologie früherer Bauelementeformen, z.B. Flat-Packs oder DIPs, dem thermo-mechanisch sehr ungünstigen letzten Fall (Abb. 2.29) entsprechen. Dies ist nicht verwunderlich, denn zunächst waren für die Architekturentwicklung elektro-



**Abb. 2.29** Ausbildung von Biegemomenten in Abhängigkeit von der Aufbaustruktur eines Bimaterialverbundes

nischer Aufbauten technologische Fragen vordergründig. Am Anfang der Entwicklung war es vor allem wichtig, einen Weg zu finden, die verschiedenen Bauelemente einer Schaltung effektiv miteinander verbinden zu können. Betrachtungen zu thermisch-mechanischen Aspekten spielten aufgrund der geringen Integrationsdichten und den damit verbundenen geringen Verlustleistungsdichten kaum eine Rolle. Die ersten Probleme aufgrund fehlender Betrachtung zur thermisch-mechanischen Integrität elektronischer Aufbauten entstanden bei der Einführung der Ceramic-Chip-Carrier (CCC) [131-134]. Diese Bauelementeform wies aufgrund der beinchenlosen Anschlusskontaktierung hervorragende Hochfrequenzeigenschaften auf. Allerdings provozierte der sehr steife Keramikträger in den peripher angeordneten Kontakten derart hohe mechanische Beanspruchungen, dass diese Bauelemente bei Montage auf organischen Verdrahtungsträgern keine ausreichenden Zuverlässigkeitskennzahlen erreichten. Der geringe Grad tiefgründiger mechanischer Überlegungen zur Bauelementegestaltung dokumentiert sich bei den CCC-Bauelementen darin, dass alle Anstrengungen, die thermisch-mechanische Integrität dieser Aufbauvariante zu erhöhen, vor allem darauf hinausliefen, eine sehr kostenaufwendige Anpassung der thermischen Ausdehnungskoeffizienten des Verdrahtungsträgers vorzunehmen [135]. Dagegen wurde die kostengünstige Variante der Verringerung der mechanischen Beanspruchung durch innere (passive) Stützkontakte nicht in Betracht gezogen. Diese Architekturvariante entstand erst mit der Einführung der BGA-Bauformen, jedoch nicht aus mechanischen Erwägungen. Die erste Innovation unter dem Gesichtspunkt der thermisch-mechanischen Integri-

tät bestand in der Einführung des Unterfüllungsprozesses bei der Flip-Chip-Montage, mit der der historisch entstandene und aus thermisch-mechanischer Sicht ungünstige Fall C (in Abb. 2.29) in den günstigeren Fall B überführt wurde. Im Gegensatz zu anderen mechanischen Überlegungen, wie der zur Gestaltung von Anschlussbeinen [136, 137], wurde mit dem Unterfüllungsprozess eine bemerkenswerte Steigerung der thermisch-mechanischen Integrität erreicht, ohne dass andere Eigenschaften des elektronischen Aufbaus verschlechtert wurden. Aufgrund dieses bemerkenswerten Erfolges stellt sich die Frage, ob ein konsequentes Codesign, welches technologische, elektrische und thermisch-mechanische Aspekte bei der Konzeption neuer Aufbauten in gleicher Weise berücksichtigt, zu neuen Aufbauformen führen würde, welche einen vergleichsweise geringen Grad thermisch-mechanischer Probleme aufwiesen.

Wenn die Gesamtproblematik der Aufbau- und Verbindungstechnik besonders in Bezug auf ihre weitere Entwicklung betrachtet wird, erscheinen solche Hypothesen wenig realistisch. Dies hängt damit zusammen, dass Architekturkonzepte für neue Aufbauformen immer einen Kompromiss zwischen verschiedenen Erfordernissen darstellen, unter denen technologische und elektrische Aspekte die wichtigsten sind. Beispielsweise bringen periphere Kontaktanordnungen gegenüber zentralen Anordnungen, wie sie dem thermisch-mechanisch eher ungünstigen Fall C in Abb. 2.29 gegenüber dem günstigeren Fall B entsprechen, eine Reihe von technologischen Vereinfachungen mit sich. So ergibt sich bei peripheren Kontaktanordnungen eine Vereinfachung bei der Umverdrahtung, eine gute visuelle Beurteilung der Kontakte und eine bessere Ausrichtung des Bauelementes durch die Benetzungskräfte beim Löten. Bauelemente mit zentralen Kontaktanordnungen würden hingegen sehr leicht zum Verkippen neigen und wären für Reparaturzwecke schwieriger zu demontieren. Obwohl sich solche Argumentationen immer nur exemplarisch auf bestimmte Aufbaukonzepte anwenden lassen, ist aus der Betrachtung der bisherigen Entwicklung zu entnehmen, dass bestimmte, aus thermisch-mechanischer Sicht ungünstige Aufbauprinzipien (wie z.B. Fall C in Abb. 2.29) wohl auch in zukünftigen Aufbauten enthalten sein werden. Weiter verstärkt wird die thermisch-mechanische Problematik durch die angestrebte vertikale Verdichtung der Aufbauten, wie z. B. Stapelaufbauten für SiP (vgl. 2.3.4). Hierdurch entsteht neben der traditionell bekannten lateralen Ausdehnungsproblematik (= Fall C in Abb. 2.29) eine vertikale mechanische Wechselwirkung. Mercado et al. [138] führen eine der ersten Erörterungen zu dieser neuen Qualität von thermisch-mechanischen Wechselwirkungen in modernen Aufbauten. Dabei zeigen sie den komplexen Weg der Ursachen für Schädigungen in der Mehrebenenmetallisierung eines Halbleiterbauelements in einem BGA, welche durch thermisch-mechanische Beanspruchungen in der zweiten Verbindungsebene verursacht werden. Andere Untersuchungen, wie die von Dudek [139], zeigen, dass die Ausfallproblematik in modernen Bauelementeformen durchaus nicht mehr der klassischen DNP-Problematik (DNP = Distance to Neutral Point) entspricht, bei der sich das Versagen eines Anschlusskontaktes in Abhängigkeit von seinem Abstand zum Bauelementemittelpunkt berechnen ließ.

#### 2.4.4 Werkstoffphysikalische Seiteneffekte

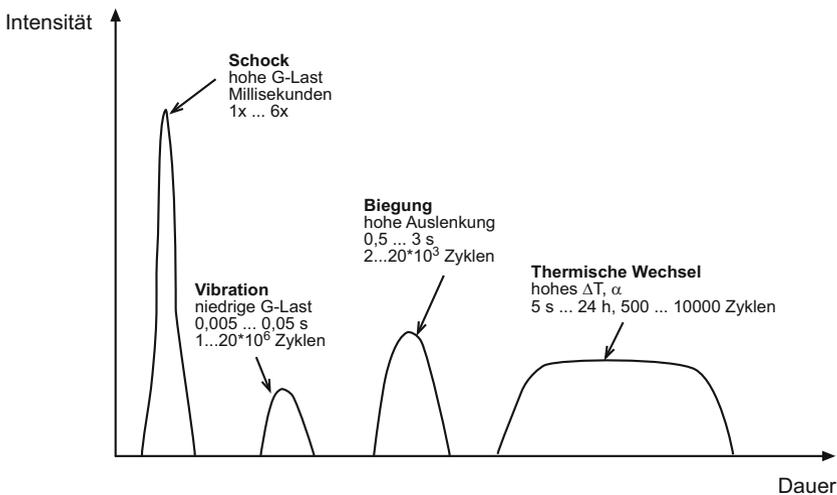
Ein anderer Aspekt der thermisch-mechanischen Problematik elektronischer Aufbauten besteht in der Verschärfung der Umweltbedingungen. In bestimmten Anwendungsgebieten, wie z.B. der Kfz-Elektronik oder der Luft- und Raumfahrt-technik, wird die Elektronik immer höheren Temperaturen von bis zu 150 °C ausgesetzt. Diese hohen Temperaturen beschleunigen in hohem Maße Diffusionsprozesse, durch welche sich die Struktur der Werkstoffe verändert. Bei metallischen Werkstoffen kommt es hierdurch in der Regel zu Korn- und Phasenvergrößerungen, bei thermohärtenden Polymeren kann hierdurch eine nachträgliche Härtung erfolgen. Mit den Strukturänderungen ist sehr oft auch eine Änderung des werkstoffmechanischen Verhaltens der Materialien verbunden. Das veränderte Verformungsverhalten der Materialien kann zu Verschiebungen in einer ursprünglich optimierten Mechanik eines Aufbaus führen, welche wiederum zur Konzentration der Beanspruchung in bestimmten Strukturen führt.

Andere durch Diffusion hervorgerufene werkstoffphysikalische Seiteneffekte bestehen in der Schwächung von Grenzflächen. Hierfür sind vor allem der Feuchtetransport (in Polymeren), die thermische Aktivierung der Bildung schwach haftender intermetallischer Phasen sowie die Bildung von Kirkendall-Löchern durch heterogene Interdiffusion verantwortlich.

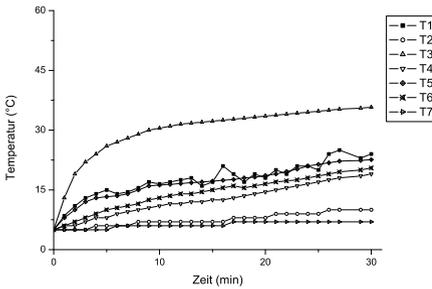
#### 2.4.5 Belastungsszenarien

Elektronische Aufbauten werden in sehr unterschiedlichen Bereichen eingesetzt. Dadurch können die Belastungen, die auf einen elektronischen Aufbau einwirken, sehr unterschiedlicher Natur sein. In Abb. 2.30 sind die wichtigsten Belastungsszenarien unter den Gesichtspunkten der Intensität und Dauer klassifiziert. Dabei wird in impulsartige Belastungen, Vibrationsbelastungen, Biegung und thermisch-mechanische Ermüdungsbelastungen unterschieden. Impulsartige oder Schock-Belastungen sind die kürzesten und intensivsten Belastungen, denen eine elektronische Baugruppe ausgesetzt sein kann. Sie treten vor allem dann auf, wenn Baugruppen - vor allem in tragbaren Geräten wie Mobiltelefonen - nach einem freien Fall auf einen steifen unnachgiebigen Boden auftreffen (z. B. Stein). Der Aufprall regt Eigenschwingungen der im Gerät befindlichen Aufbauten an, welche jedoch schnell in ihrer Amplitude abfallen, sodass nur wenige Schwingungen zu mechanischen Beanspruchungen des Aufbaus führen. Im Gegensatz dazu wirken Vibrationsbelastungen, wie sie in vibrierenden Umgebungen (z. B. Fahrzeugen, Flugzeugen, Baumaschinen) vorkommen, als dauerhafte Schwingungsbelastungen. In Abhängigkeit von der Art und Weise, wie ein elektronisches Gerät technisch realisiert wurde, können auch erhebliche Biegebelastungen auf die Elektronik einwirken. Dies ist beispielsweise in Mobiltelefonen oder PDAs der Fall, wenn aus Gründen der Raumeinsparung die Tastatur direkt auf der Hauptplatine zusammen mit allen wichtigen Bauelementen montiert ist. Ein anderes sehr typisches Beispiel

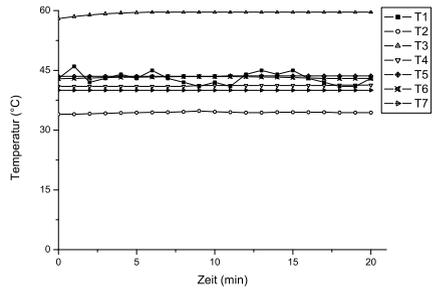
für Biegebelastungen sind Smart-Cards, welche aufgrund ihrer geringen Dicke für die in ihnen aufgebaute Elektronik keinen steifen Rahmen bilden, sodass diese sich jeder von außen aufgebrachten Biegung anpassen muss. Neben diesen rein mechanischen Belastungen sind thermisch induzierte mechanische Verspannungen, welche durch die in 2.4.1 angesprochenen Unterschiede der thermischen Ausdehnungskoeffizienten zustande kommen, die vielleicht wichtigste Art der Belastungen für elektronische Aufbauten. Abgesehen von wenigen Ausnahmen ist jeder elektronische Aufbau ständigen Temperaturänderungen ausgesetzt. Diese reichen von einfachen Tag-Nacht-Schwankungen mit einem Temperaturhub von  $\Delta T = 20 \text{ }^\circ\text{C}$  bis zu komplizierten Temperaturprofilen, wie sie vor allem in Kfz- und Avionikanwendungen vorkommen. Als Beispiel für komplexere Temperaturbelastungen sind in Abb. 2.31 Temperaturkurven gezeigt, welche an verschiedenen Bauelementen einer Motorsteuereinheit im Betrieb aufgenommen wurden [140]. Die Auswahl der Bauteile erfolgte anhand eines Thermografiebildes der Baugruppe, welche zuvor an einem Motorsimulator aufgenommen wurde. Die Temperaturverläufe während verschiedener Fahrsituationen, von denen die Startphase, Stadtverkehr und Autobahn exemplarisch in Abb. 2.31 dargestellt sind, zeigen die sehr unterschiedlichen Temperaturverläufe individueller Komponenten einer Baugruppe. Wie anhand der in Abb. 2.31 gezeigten Diagramme abzulesen ist, werden die Temperaturverläufe der einzelnen Komponenten zum einen von der Außentemperatur (in diesem Fall der Temperatur des Motorraums) und zum anderen durch die Verlustleistungen der Bauelemente selbst bestimmt. Letzterer Beitrag hängt von der konkreten Funktion des Bauelementes in der Schaltung ab, wodurch sich keine generellen Aussagen zur Größe von Temperaturbelastungen treffen lassen.



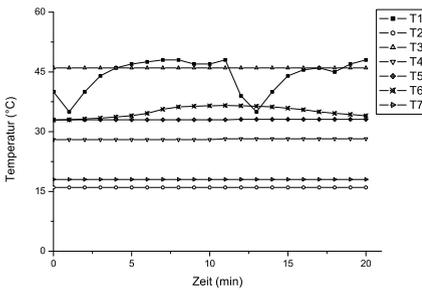
**Abb. 2.30** Verschiedene Belastungsmodi von elektronischen Aufbauten



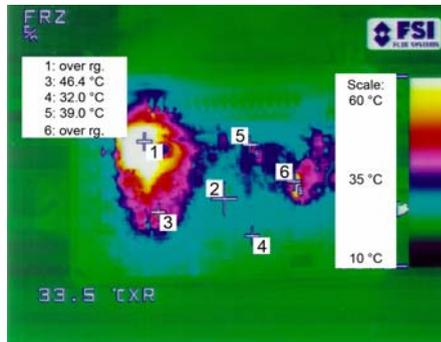
a)



b)



c)



d)

**Abb. 2.31** Aufgenommene Temperaturprofile aus Thermoelementmessungen in einer Motorsteuerinheit (ECU) während verschiedener Fahrsituationen: a) Startphase, b) Stadtverkehr, c) Autobahn. Die Anordnung der Thermopaare ist im Thermografiebild d) eingezeichnet, welches zur Bestimmung relevanter Messstellen mit einem Motorsimulator aufgezeichnet wurde. Die nummerierten Messstellen entsprechen folgenden Bauelementen auf der Motorsteuerplatine: 1: Zener-Diode (Überspannungsschutz Zündspule), 2: Leiterplattenrückseite, 3: 1206 CR (Spannungsteiler für Analogmasse), 4: PLCC68 Mikroprozessor, 5: THT-Diode, 6: THT-Leistungswiderstände (3W), 7: Außenseite Gehäuse [140]